

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-307936

(43)Date of publication of application : 05.11.1999

(51)Int.Cl.

H05K 3/46

(21)Application number : 10-122942

(71)Applicant : IBIDEN CO LTD

(22)Date of filing : 16.04.1998

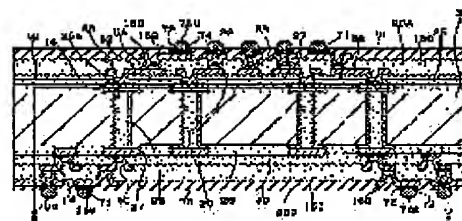
(72)Inventor : ASAI MOTOO
SEGAWA HIROSHI
NODA KOTA
KARIYA TAKASHI

(54) MULTI-LAYER PRINTED CIRCUIT BOARD

(57)Abstract:

PROBLEM TO BE SOLVED: To make it possible to reduce the total number of built-up layers by forming through holes with high density in a core board.

SOLUTION: A main built-up layer 90A on the main face and a rear built-up layer 90B on the rear face are connected through a through hole 16 formed in a core board 30. The through hole 16 is filled with a filler 22, and a conductive layer 26a is formed in a way that the exposed face of the filler 22 from the through hole 16 is covered by the conductive layer 26a. An upper via hole 60 is connected to the conductive layer 26a. The conductive layer 26a is formed in a circular shape, and thereby the shape of a land of the through hole 16 is made circular. As a result, the through hole in the core board is formed with high density, and the number of built-up layers can be reduced.



* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1]In a multilayer printed wiring board with which it comes to form in both sides of a core substrate a buildup wiring layer to which a resin insulating layer between layers and a conductor layer were laminated by turns, and between each conductor layer was connected in a viahole, A multilayer printed wiring board, wherein it comes to form a wrap conductor layer in it in an exposed surface from a through hole of this bulking agent while a through hole formed in said core substrate is filled up with a bulking agent, and a viahole is connected to the conductor layer.

[Claim 2]The multilayer printed wiring board according to claim 1, wherein a pitch interval of a through hole formed in said core substrate is 700 micrometers or less.

[Claim 3]The multilayer printed wiring board according to claim 1 or 2 with which a conductor circuit which constitutes a conductor layer is wired towards an outer peripheral direction of a substrate in said buildup wiring layer of both sides of said core substrate.

[Translation done.]

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention]Especially this invention relates to the multilayer printed wiring board with which it comes to form in both sides of a core substrate the buildup wiring layer by which the resin insulating layer between layers and the conductor layer were laminated by turns about a multilayer printed wiring board.

[0002]

[Description of the Prior Art]In recent years, the package substrate which mounts an IC chip corresponds to the miniaturization or improvement in the speed of electronic equipment accompanying progress of electronic industry, and the densification by a fine pattern and what has high reliability are called for. As such a package substrate, that by which the build up multilayer interconnection layer was formed in both sides of a multilayered-cores board is indicated by the "surface mount technology" and PCT/JP 96/No. 02608 of the 1997 . January item.

[0003]In the package substrate concerning the conventional technology of upper **, the inner layer pad which wired from the through hole was provided in the surface of the multilayered-cores board, and connection between the conductor layer in a multilayered-cores board and a buildup wiring layer was made by connecting a viahole to this inner layer pad. or [namely, / adding the inner layer pad 226b for the viahole connection with the upper layer to the land 226a of the through hole 216, as shown in drawing 8 (A)] — or, As shown in drawing 8 (B), the inner layer pad 226b for viahole connection was connected with the land 226a of the through hole 216 via the wiring 226c.

[0004]

[Problem(s) to be Solved by the Invention]However, in the land shape of the conventional technology shown in drawing 8 (A) or drawing 8 (B), in order to maintain the insulation between inner layer pads, the through hole interval exceeded 750 micrometers, and this had restricted the number of formation of the through hole to a multilayered-cores board.

[0005]On the other hand, the package substrate laid the IC chip in the vamp allocated in the center by the side of the surface, and has connected to a mother board the vamp formed all over the back side. That is, within the buildup wiring layer of a package substrate, the conductor circuit formed in the resin insulating layer between each class was taken about to the outer peripheral direction of the substrate, and it has connected with a vamp on the back, spreading to an outer peripheral direction from the vamp allocated in the center by the side of the above-mentioned surface.

[0006]In the package substrate, many vamps on the back are formed rather than the number of the vamps by the side of the surface. This is because it is connected to the vamp by the side of the surface while the wiring from two or more vamps on the back is unified. It is desirable when that wiring can be unified makes a number of layers the minimum for the number of layers of the upper buildup wiring layer and a lower layer buildup wiring layer equally at the same pace here by the buildup wiring layer formed in the side front of a core substrate, and the buildup wiring layer formed in the back side. However, the number of the through holes which can be formed in a multilayered-cores board as mentioned above is restricted. For this reason, in the package substrate of conventional technology, after a certain grade unified wiring in the buildup wiring layer on the back side, it let the through hole of the multilayered-cores board pass, and had connected with the buildup wiring layer on a side front. That is, in the buildup wiring layer on the side front, since the density of wiring has fallen, only the number of layers which is essentially the same as the buildup wiring layer on the back side is not needed. However, since curvature would occur from asymmetry if the number of layerses of the buildup wiring layer of a rear surface are made to differ, the number of layers of the rear surface was made the same. That is, since the number of the through holes formed in a

multilayered-cores board was restricted, in addition to having to increase the number of layers of the buildup wiring layer on the back side, the buildup wiring layer on the side front had to be formed in the number of layers equal to the back side in which this number of layers increased.

[0007]Namely, in the multilayer printed wiring board (package substrate) of conventional technology, Since the number of layers of the buildup layer was increased, the reliability of connection of an up-and-down layer fell, and the cost of the package substrate went up and there was a problem that the thickness and weight of a package substrate will become large more than needed.

[0008]this invention is made in order to solve the technical problem mentioned above, and it comes out. the purpose is to carry out densification of the through hole boiled and formed, and there is in providing the multilayer printed wiring board which can reduce the number of layers of a buildup layer.

[0009]

[Means for Solving the Problem]Artificers did the knowledge of connecting a viahole directly on a conductor layer formed so that a through hole might be covered rather than connecting a viahole and a through hole via a inner layer pad, as a result of inquiring wholeheartedly towards realization of the above-mentioned purpose. Thereby, shape of a through hole can be made circular and the number of formation of a through hole can be increased.

[0010]A multilayer printed wiring board of this invention to both sides of a multilayered-cores board which has a conductor layer. Come to form a buildup wiring layer to which a resin insulating layer between layers and a conductor layer were laminated by turns, and between each conductor layer was connected in a viahole, and to said multilayered-cores board. It makes to form two or more through holes of 700 micrometers or less for a pitch interval, to come to form a wrap conductor layer in an exposed surface from a through hole of this bulking agent, while the through hole is filled up with a bulking agent, and to connect a viahole to the conductor layer into a technical feature. As for a bulking agent with which a through hole is filled up, in the above-mentioned multilayer printed wiring board concerning this invention, it is preferred to become metal particles from thermosetting or thermoplastic resin.

[0011]A multilayer printed wiring board of this invention is a through hole established in a core substrate being filled up with a bulking agent, and a wrap conductor layer's being further formed in an exposed surface from a through hole of this bulking agent, and connecting a viahole to this conductor layer, The feature is that it made it into a buildup wiring layer and structure of making connection of a through hole. According to composition of such this invention, a dead space is lost by making a field of through hole right above function as a inner layer pad, And since it is not necessary to wire a inner layer pad for connecting with a viahole from a through hole, land shape of a through hole can be made into a perfect circle. As a result, arrangement density of a through hole provided into a multilayered-cores board can improve, the number of through holes can be increased, and a signal wire of a buildup wiring layer on the back side can be connected to a surface buildup layer via this through hole.

[0012]So, leading about to a periphery of a substrate of a conductor circuit can be performed by a buildup layer of both the surface and a rear face. As mentioned above, while wiring from two or more vamps on the back is unified, are connected to a vamp by the side of the surface with a multilayer printed wiring board, but. By forming a through hole by required density, since wiring can be unified at the same pace by a buildup wiring layer formed in a side front and the back side, a number of layers of a buildup wiring layer formed in a side front and the back side can be reduced. 700 micrometers or less are required for a pitch of said through hole. By being referred to as 700 micrometers or less, the number of through holes can be carried out more than ??? (a piece/substrate), and a signal wire can be certainly connected to a buildup layer on the back from the surface.

[0013]A core substrate may be multilayered in a multilayer printed wiring board of such this invention. This multilayered-cores board laminates a conductor layer and prepreg by turns, and is formed. For example, it is formed by laminating prepreg which cloth or a nonwoven fabric of glass fiber or an aramid fiber was impregnated with resin, and was used as B stage copper foil, the circuit board, and by turns, ranking second, carrying out hot press and unifying.

[0014]As for a bulking agent filled up with a multilayer printed wiring board of this invention into a through hole, it is preferred to consist of metal particles, thermosetting resin, and a hardening agent, or to consist of metal particles and thermoplastic resin, and it may add a solvent if needed. If metal particles are contained such a bulking agent, in order to unite with a plating film of a conductor layer which metal particles are exposed and is formed on it via these exposed metal particles by grinding that surface, It becomes difficult to generate exfoliation in an interface with a conductor layer also under severe heat-and-high-humidity conditions like PCT (pressure cooker test). Since a through hole where a metal

membrane was formed in a wall surface is filled up with this bulking agent, migration of a metal ion does not generate it.

[0015]As metal particles, copper, gold, silver, aluminum, nickel, titanium, chromium, tin/lead, palladium, PURACHINA, etc. can be used. As for particle diameter of these metal particles, 0.1–50 micrometers is good. This is because a copper surface oxidizes that it is less than 0.1 micrometer, wettability to resin worsens, and printing nature will worsen on the other hand if it exceeds 50 micrometers. 30 – 90wt% of loadings of these metal particles are good to entire volume. This is because the adhesion of lid plating will worsen if less than 30wt%, and printing nature will get worse on the other hand if 90wt% is exceeded.

[0016]As resin used, epoxy resins, such as a bisphenol A type and a bisphenol female mold, Fluoro-resins, such as phenol resin, polyimide resin, and polytetrafluoroethylene (PTFE), bismaleimide triazine (BT) resin, FEP, PFA, PPS, PEN, PES, nylon, aramid, PEEK, PEKK, PET, etc. can be used. As a hardening agent, hardening agents, such as an imidazole series, a phenol system, and an amine system, can be used.

[0017]As a solvent, NMP (normal methyl pyrrolidone), DMDG (diethylene glycol dimethyl ether), KISANON, methyl cellosolve, methyl-cellosolve acetate, methanol, ethanol, butanol, propanol, etc. can be used to cyclohexanol of glycerin, water, 1,1, or 2- or 3-, and cyclo.

[0018]As for this bulking agent, it is desirable that it is non-conducting. It is because the non-conducting of cure shrinkage is smaller and exfoliation with a conductor layer and a viahole does not take place easily.

[0019]It is desirable to form a roughened layer in a wall conductor surface of a through hole where a bulking agent was filled up with a multilayer printed wiring board of this invention. A roughened layer is formed in a conductor surface of a through hole wall because a bulking agent and a through hole stick via a roughened layer and a crevice does not occur. If an opening exists between a bulking agent and a through hole, a conductor layer formed in right above [of it] with electrolysis plating, It will not become flat, or air in an opening expands thermally, and a crack and exfoliation are caused, and an opening is covered with water in one side, and it becomes a cause of migration or a crack. If this point and a roughened layer are formed, such poor generating can be prevented.

[0020]In this invention, it is advantageous that a roughened layer which formed an exposed surface from a through hole of a bulking agent in a conductor surface of a through hole wall in the surface of a wrap conductor layer, and same roughened layer are formed. This is because adhesion with a resin insulating layer between layers or a viahole is improvable by a roughened layer. If a roughened layer is especially formed in the side of a conductor layer, a crack generated towards a resin insulating layer between layers with these interfaces as the starting point with the shortage of adhesion of the conductor layer side and a resin insulating layer between layers can be controlled.

[0021]As for thickness of a roughened layer formed in the surface of such a through hole wall or a conductor layer, 0.1–10 micrometers is good. This is because it will become a short cause between layers if too thick, and adhesion power with adherend will become low if too thin. What carried out oxidation (melanism)–reduction processing and formed a conductor of a through hole wall or the surface of a conductor layer as this roughened layer, a thing processed and formed by a mixed water solution of organic acid and the second copper complex, or a thing formed by plating processing of a copper–nickel phosphorus needlelike alloy is good.

[0022]Let an oxidation bath (melanism bath), NaOH (10 g/l), and NaBH_4 (6 g/l) be reduction baths for NaOH (10 g/l), NaClO_2 (40 g/l), and Na_3PO_4 (6 g/l) by a method by oxidation (melanism)–reduction processing among these processings.

[0023]In processing using a mixed water solution of the organic acid–second copper complex, it acts as follows under oxygen coexistence conditions, such as a spray and bubbling, and metallic foils, such as copper which is a conductor circuit, are dissolved.

$\text{Cu} + \text{Cu(II)An} \rightarrow 2\text{Cu(I)An} / 22\text{Cu(I)} \xrightarrow{\text{An}/20} \text{n}/40_2 + \text{nAH(aeration)} \rightarrow 2\text{Cu(II)An} + \text{n}/2\text{H}_2\text{O}$ is a complexing agent (it acts as a chelating agent), and n is the coordination number.

[0024]The second copper complex used by this processing has the good second copper complex of azoles. The second copper complex of these azoles acts as an oxidizer for oxidizing metallic copper etc. As azoles, diazole, triazole, and tetrazole are good. Imidazole, 2-methylimidazole, 2-ethylimidazole, 2-ethyl-4-methylimidazole, 2-phenylimidazole, 2-undecylimidazole, etc. are especially good. As for content of the second copper complex of these azoles, 1 to 15 % of the weight is good. It is because it excels in solubility and stability if it is within the limits of this.

[0025]Organic acid is combined in order to dissolve copper oxide. As an example, any which are chosen from formic acid, acetic acid, propionic acid, butanoic acid, a valeric acid, KABURON acid, acrylic acid, crotonic acid, oxalic acid, malonic acid, succinic acid, glutaric acid, maleic acid, benzoic acid, glycolic acid,

lactic acid, malic acid, and sulfamic acid or at least one sort is good. As for content of this organic acid, 0.1 to 30 % of the weight is good. It is for maintaining the solubility of oxidized copper and securing solution stability. The first copper complex by which it was generated dissolves in an operation of acid, it combines with oxygen, and it turns into the second copper complex, and is again contributed to copper oxidation. In addition to organic acid, inorganic acid, such as Howe fluoric acid, chloride, and sulfuric acid, may be added.

[0026]In order to assist the dissolution of copper and oxidation of azoles, halogen ion, for example, a fluorine ion, a chloride ion, a bromine ion, etc. may be added to an etching reagent which consists of this organic acid-second copper complex. This halogen ion can add and supply chloride, sodium chloride, etc. As for the amount of halogen ion, 0.01 to 20 % of the weight is good. It is because a formed roughened layer is excellent in adhesion with a resin insulating layer between layers if it is within the limits of this.

[0027]An etching reagent which consists of this organic acid-second copper complex dissolves in water, and prepares the second copper complex and organic acid (necessity is accepted and it is the halogen ion) of azoles.

[0028]In plating processing of a needlelike alloy which consists of copper-nickel phosphorus. It is desirable to use a plating bath of liquid composition which consists of 1-40 g/l of copper sulfate, 0.1-6.0 g/l of nickel sulfate, 10-20 g/l of citrate, 10-100 g/l of hypophosphite, 10-40 g/l of boric acid, and 0.01-10 g/l of surface-active agents.

[0029]In this invention, a complex of thermosetting resin, thermoplastics or thermosetting resin, and thermoplastics can be used as a resin insulating layer between layers used by a buildup wiring layer. As thermosetting resin, an epoxy resin, polyimide resin, phenol resin, thermosetting polyphenylene ether (PPE), etc. can be used. As *****, fluoro-resins, such as polytetrafluoroethylene (PTFE), Polyethylene terephthalate (PET), polysulfone (PSF), A polyphenylene sulfide (PPS), heat plasticity type polyphenylene ether (PPE), Polyether sulphone (PES), polyether imide (PEI), Poly phenylene sulfone (PPES), an ethylene tetrafluoride 6 fluoridation propylene copolymer (FEP), An ethylene tetrafluoride perphloro alkoxy copolymer (PFA), polyethylenenaphthalate (PEN), a polyether ether ketone (PEEK), polyolefin system resin, etc. can be used. As a complex of thermosetting resin and thermoplastics, epoxy resin-PES, epoxy resin-PSF, epoxy resin 1PPS, epoxy resin-PPES, etc. can be used.

[0030]In this invention, a glass-fabrics impregnating resin complex can be used as a resin insulating layer between layers. As this glass-fabrics impregnating resin complex, there are glass-fabrics impregnating epoxy, glass-fabrics impregnating bismaleimide triazine, glass-fabrics impregnating PTFE, being glass-fabrics impregnated PPE, glass-fabrics impregnating polyimide, etc.

[0031]In this invention, adhesives for nonelectrolytic plating can be used as a resin insulating layer between layers. A thing which it comes to distribute in heat resistant resin which is not hardened [from which a heat resistant resin particle of fusibility becomes acid or an oxidizer by which curing treatment was carried out with poor solubility by curing treatment as these adhesives for nonelectrolytic plating at acid or an oxidizer] is the optimal. dissolution removal of the heat resistant resin particle is carried out by processing this reason with acid or an oxidizer -- the surface -- an octopus -- it is because a roughened surface which consists of a jar-like anchor can be formed.

[0032]In the above-mentioned adhesives for nonelectrolytic plating, as said heat resistant resin particle by which especially curing treatment was carried out, ** Flocc which mean particle diameter condenses heat resistant resin powder of 10 micrometers or less, and ** mean particle diameter made condense heat resistant resin powder of 2 micrometers or less, Heat resistant resin powder and mean particle diameter whose mean particle diameter is 2-10 micrometers ** A mixture with heat resistant resin powder of 2 micrometers or less, ** False particles to which one sort is made to come to adhere even if the surface of heat resistant resin powder whose mean particle diameter is 2-10 micrometers has little mean particle diameter either as for heat resistant resin powder of 2 micrometers or less or inorganic powder, ** heat resistant resin powder a mixture with heat resistant resin powder below 2 micrometers and whose ** mean particle diameter heat resistant resin powder and mean particle diameter whose mean particle diameter is 0.1-0.8 micrometer exceed 0.8 micrometer, and are 0.1-1.0 micrometer, and **** -- even if small [either], it is desirable to use one sort. It is because these can form a more complicated anchor. A complex of the above-mentioned thermosetting resin, thermoplastics, thermosetting resin, and thermoplastics can be used for heat resistant resin used with these adhesives for nonelectrolytic plating.

[0033]In this invention, a conductor circuit formed on a conductor layer (a wrap thing is included for a bulking agent with which a through hole was filled up) formed on a multilayered-cores board, and a resin insulating layer between layers is connectable by a viahole. In this case, a viahole may be filled up with a plating film or a bulking agent.

[0034]

[Embodiment of the Invention] Hereafter, the multilayer printed wiring board of this invention is explained with reference to figures. Drawing 6 shows the section of the multilayer printed wiring board concerning the embodiment of this invention. The buildup wiring layers 90A and 90B are formed in the surface and the rear face of the multilayered-cores board 30. These built-up layers 90A and 90B consist of the resin insulating layer 50 between layers in which the viahole 60 and the conductor circuit 58 were formed, and the resin insulating layer 150 between layers in which the viahole 160 and the conductor circuit 158 were formed.

[0035] The solder bump 76U for connecting with the vamp (not shown) of an IC chip is formed in the surface side, and the solder bump 76D for connecting with the vamp (not shown) of a mother board is formed in the rear-face side. Within the multilayer printed wiring board, the conductor circuit from the solder bump 76U linked to an IC chip is wired towards the outer peripheral direction of a substrate, and is connected to the solder bump 76D linked to the mother board side. The built-up layer 90A on a side front and the built-up layer 90B on the back side are connected via the through hole 16 formed in the core substrate 30.

[0036] That is, this through hole 16 is filled up with the bulking agent 22, and the conductor layer 26a is formed so that the exposed surface from the through hole 16 of this bulking agent 22 may be covered. And the viahole 60 by the side of the upper layer is connected to this conductor layer 26a. The solder bumps 76U and 76D are formed in the conductor circuit 158 which the upper viahole 160 was connected to the conductor circuit 58 connected to this viahole, and was connected to this viahole 160 or the viahole 160 in it.

[0037] The top view of the core substrate 30 of the multilayer printed wiring board shown in drawing 6, i.e., the B-B section in drawing 6, is shown in drawing 7. Here, the conductor layer 26a formed in the bulking agent upper part in the through hole 16 is formed circularly, and as mentioned above with reference to drawing 6, the viahole 60 is directly connected to this conductor layer 26a. A dead space is lost because you make it function as the inner layer pad 226b which mentioned above the field of through hole 16 right above with reference to drawing 8 (A) and drawing 8 (B) by connecting in this way. And since the inner layer pad 226b for connecting with the viahole 60 from the through hole 16 is not added, land shape of the through hole 16 can be made circular. As a result, the number of through holes can be increased by raising the arrangement density of the through hole 16 provided into the multilayered-cores board 30.

[0038] So, leading about to the periphery of the substrate of a conductor circuit can be performed by the buildup layers 90A and 90B of both the surface and a rear face. As mentioned above, while the wiring from two or more vamps on the back is unified, are connected to the vamp by the side of the surface with a multilayer printed wiring board, but. Wiring can be unified at the same pace by the buildup wiring layers 90A and 90B formed in a side front and the back side by forming a through hole by required density. Thereby, the number of layers of the buildup wiring layers 90A and 90B formed in a side front and the back side can be reduced.

[0039] As for a pitch, although the pitch of a through hole is 600 micrometers in the core substrate 30 shown in drawing 6, it is desirable to use 700 micrometers or less. By being referred to as 700 micrometers or less, the number of through holes can be carried out above (a piece/substrate), and a signal wire can be certainly connected to a buildup layer on the back from the surface.

[0040] Then, an example is given and how to manufacture the multilayer printed wiring board shown in drawing 6 is explained concretely. Although the method described below is related with the manufacturing method of the multilayer printed wiring board by a semiadditive process, by the manufacturing method of the multilayer printed wiring board in this invention, a fully-additive process, a multi-lamination process, and the pin lamination method can be used for it.

[0041] (1) The production core substrates of the core substrate 30 laminate prepreg, and are formed. To the cloth or nonwoven fabric of glass fiber or an aramid fiber, for example, an epoxy resin, It is formed by laminating the prepreg which it impregnated with polyimide resin, bismaleimide triazine resin, fluoride material fat (polytetrafluoroethylene etc.), etc., and was used as B stage, ranking second, carrying out hot press and unifying. As the circuit board on a core substrate, what provided the copper pattern can be used by providing and etching etching resist into both sides of double-sided copper clad laminate, for example.

[0042] (2) Vacate a breakthrough for the formation **. multilayered-cores board of the through hole 16 with a drill etc., perform nonelectrolytic plating to the wall surface and substrate face of a breakthrough, and form the through hole 16 in them. As nonelectrolytic plating, copper plating is good. when a substrate face is resin with bad covering power of plating like a fluoro-resin, surface treatment which consists of organic metal sodium, such as a pretreating agent (trade name: — Junkosha: — tetra — dirty) and plasma treatment, is performed.

[0043]**. Next, electrolysis plating is performed for thickness attachment. As this electrolysis plating, copper plating is good.

** . And further, roughening treatment of a through hole wall and the electrolysis plating membrane surface is carried out, and the roughened layer 20 is formed. There is what is depended on melanism (oxidation)-reduction processing, a thing which carried out spray treatment of the mixed water solution of organic acid and the second copper complex, and formed it, or a thing to depend on a copper-nickel phosphorus **** alloy plating in this roughened layer.

[0044](3) Fill up with the bulking agent 22 of composition of having mentioned above the through hole 16 formed with the restoration **, above (2) of the bulking agent. By applying in print processes on the substrate which laid the mask which provided the opening in the through hole portion, a through hole is made to fill up with a bulking agent, and, specifically, it is dried and stiffened after restoration.

[0045]In this bulking agent, in order to raise the adhesion power of metal particles and resin, surface-of-metal modifiers, such as a silane coupling agent, may be added. Inorganic bulking agents, such as defoaming agents, such as an acrylic defoaming agent and a silicon system defoaming agent, silica, alumina, talc, may be added as other additive agents. A silane coupling agent may be made to adhere on the surface of metal particles.

[0046]Such a bulking agent is printed on condition of the following, for example. That is, it prints on squeegee indentation:1mm conditions Cu paste viscosity:120 Pa-s and squeegee speed:13mm/sec using the printing mask board of the meshed plate made from Tetron, and a 45 ** angle squeegee.

[0047]** . Polish removes the roughened layer of the electrolysis plating membrane surface of the bulking agent and substrate overflowing from a through hole, and flattening of the substrate face is carried out. A belt sander and buffing of polish are good.

[0048](4) After giving a catalyst core to the surface of the substrate which carried out flattening with the formation **, above (3) of the conductor layer 26a (it is a wrap conductor layer about the conductor circuit and bulking agent on a multilayered-cores board), Nonelectrolytic plating is performed, an electroless plating film about 0.1-5 micrometers thick is formed, electrolysis plating is performed further if needed, and a 5-25-micrometer-thick electrolysis plating film is provided. Next, a photosensitive dry film is laminated by hot press, the photomask film (glass is good) in which the pattern was drawn is laid, after exposing on the surface of a plating film, negatives are developed on it with a developing solution, and etching resist is provided in it. And a wrap conductor layer 26a portion is formed for a conductor circuit portion and the bulking agent 22 by carrying out dissolution removal of the conductor of an etching-resist agenesis portion with an etching reagent. As the etching reagent, persulfate solution, such as solution of sulfuric acid-hydrogen peroxide, ammonium persulfate, sodium persulfate, potassium persulfate, and the solution of ferric chloride or a cupric chloride are good.

[0049]** . And after exfoliating and using etching resist as the independent conductor circuit 14 and the conductor layer 26a, the roughened layer 27 is formed in the conductor circuit 14 and the surface of the conductor layer 26a. If the roughened layer 27 is formed in the surface of the wrap conductor layer 26a for the conductor circuit 14 and a bulking agent, since the conductor is excellent in adhesion with the resin insulating layer between layers, the crack on the basis of the interface of the side of a wrap conductor layer and a resin insulating layer will not generate a conductor circuit and a bulking agent. By one side, adhesion with the viahole to which a wrap conductor layer is electrically connected is improved in a bulking agent. The formation method of this roughened layer is as having mentioned above, and there is melanism (oxidation)-reduction processing, a needlelike alloy plating, or the method of etching and forming.

[0050]After roughening, in order to lose unevenness resulting from the conductor layer 26a of a substrate face, it may grind and smooth until it is applied and filled up with the resin 28 between conductor circuits, it hardens this and a conductor exposes the surface. It is desirable to use as resin the resin which consists of bisphenol type epoxy resin, such as a bisphenol A type epoxy resin and bisphenol F type epoxy resin, an imidazole hardening agent, and an inorganic particle. It is because viscosity of bisphenol type epoxy resin is low and it is easy to apply. Since a solvent does not need to be used for bisphenol F type epoxy resin, it can prevent the crack and exfoliation resulting from a solvent volatilizing at the time of heat cure, and is advantageous. And it is still more desirable to provide a roughened layer in a conductor layer surface after polish.

[0051]The following processes are employable as a formation method of a conductor layer. Namely, plating resist is formed in the substrate which finished the process of aforementioned (1) - (3), Subsequently, perform electrolysis plating to a resist agenesis portion, and a conductor circuit and a conductor layer portion are formed, On these conductors, the Howe stannous fluoride, the Howe lead fluoride, fluoroboric acid, After forming a solder plating film using the electrolysis solder plating liquid which consists of

peptone, plating resist is removed, etching removal of the electroless plating film and copper foil under the plating resist is carried out, an independent pattern is formed, further, dissolution removal of the solder plating film is carried out in Howe fluoric acid solution, and a conductor layer is formed.

[0052]** (5) Form the resin insulating layer between layers on formation **. of the resin insulating layer 50 between layers, the conductor circuit 58, and the viahole 60, thus the produced wiring board. As the resin insulating layer 50 between layers, the complex of thermosetting resin, thermoplastics or thermosetting resin, and thermoplastics can be used. In this invention, the adhesives for nonelectrolytic plating mentioned above as resin insulation between layers can be used. The resin insulating layer between layers is formed by applying the non-sclerosing solution of these resin, or bonding by thermo-compression and laminating resin of film state.

[0053]** . Next, in order to secure an electrical link with the lower layer conductor circuit (through hole) covered by the resin insulating layer between this layer, an opening is provided in the resin insulating layer 50 between layers. Punching of this opening is performed in exposure and a development, when the resin insulating layer between layers consists of photopolymers, and when consisting of thermosetting resin or thermoplastics, it is performed in a laser beam. At this time, there are carbon dioxide gas laser, ultraviolet laser, excimer laser, etc. as a laser beam used. Desmear treatment may be performed when drilling is carried out in a laser beam. This desmear treatment can be performed using the oxidizer which consists of solution, such as chromic acid and a permanganate, and may be processed by oxygen plasma etc.

[0054]** . After forming the resin insulating layer 50 between layers which has an opening, the surface is roughened if needed. When the adhesives for nonelectrolytic plating mentioned above are used as a resin insulating layer between layers, the surface is processed with an oxidizer, and only a heat resistant resin particle is removed selectively and roughened. Even when thermosetting resin and thermoplastics are used, the surface roughening treatment by the oxidizer chosen from solution, such as chromic acid and a permanganate, is effective. the case of resin, such as fluoro-resins (polytetrafluoroethylene etc.) which are not roughened in an oxidizer, -- plasma treatment and tetra -- the surface is roughened by dirty **.

[0055]** . Next, the catalyst core for nonelectrolytic plating is given. Generally, a catalyst core is palladium tin colloid, immerses, dries and heat-treats a substrate in this solution, and fixes a catalyst core to the resin surface. Metal nuclei can be driven into the resin surface by CVD, weld slag, and plasma, and it can be considered as a catalyst core. In this case, metal nuclei will be embedded on the resin surface, and since plating deposits focusing on these metal nuclei and a conductor circuit is formed, adhesion with resin and a conductor circuit can secure adhesion also bad resin like resin and the fluoro-resins (polytetrafluoroethylene etc.) which are hard to roughen. As these metal nuclei, at least one or more sorts chosen from palladium, silver, gold, platinum, titanium, copper, and nickel are good. Below 20microg/cm^2 of the quantity of metal nuclei is good. It is because metal nuclei must be removed if this quantity is exceeded.

[0056]** . Next, nonelectrolytic plating is performed to the surface of the resin insulating layer between layers, and the electroless plating film 52 is formed in the whole surface. 0.1-5 micrometers of thickness of the electroless plating film 52 are 0.5-3 micrometers more desirably.

** . And plating resist is formed on an electroless plating film. plating resist laminates a photosensitive dry film as mentioned above -- exposure -- a development is carried out and it is formed.

** . Electrolysis plating is performed further. As for the electrolysis plating film 56, 5-30 micrometers is good. Although electrolysis plating is only performing thickness attachment in the figure, it is desirable to fill up with an electrolysis plating film the crevice which forms a viahole.

** . And further, after exfoliating plating resist, dissolution removal of the electroless plating film under the plating resist is carried out by etching, and the independent conductor circuit 58 and the viahole 60 are formed. A conductor circuit (a viahole is included) is formed. As an etching reagent, persulfate solution, such as solution of sulfuric acid-hydrogen peroxide, ammonium persulfate, sodium persulfate, potassium persulfate, and the solution of ferric chloride or a cupric chloride are good. furthermore -- making it the same -- the resin insulating layer 150 between layers, and the viahole 160 -- already -- 1 stratification is carried out.

[0057]

[Example] Hereafter, the example of the manufacturing process of a multilayer printed wiring board is concretely described with reference to drawing 1 - drawing 5.

(1) Let copper clad laminate 30A which the 18-micrometer copper foil 12 laminates to both sides of the core substrate 30 which consists of 0.5-mm-thick glass epoxy resin or BT (bismaleimide triazine) resin be a charge of a start material (refer to drawing 1 (A)). Etching resist was provided in these both sides, the

etching process was carried out with the sulfuric acid-hydrogen-peroxide-solution solution, and the core substrate 30 which has the conductor circuit 14 was obtained (drawing 1 (B)).

[0058](2) Next, with the pitch interval of 600 micrometers, drill a hole through the breakthrough 16 300 micrometers in diameter to the core substrate 30 with a drill (refer to drawing 1 (C)), and it ranks second to it, Palladium tin colloid was made to adhere, nonelectrolytic plating was performed by the following presentation, and the 2-micrometer electroless plating film 18 was formed all over the substrate 30 (refer to drawing 1 (D)).

[Nonelectrolytic plating solution]

EDTA 150 g/l copper sulfate 20 g/lHCHO 30 ml/INaOH 40 g/lalpha and alpha'-bipyridyl 80 mg/IPEG 0.1 g/l

[Nonelectrolytic plating conditions] It is 70 ** in the degree of solution temperature, and is 30 minutes.

[0059](3) The substrate 30 in which the conductor (the through hole 16 is included) which consists of the non-electrolytic copper plating film 18 with the above (2) was formed, NaOH (10 g/l), NaClO₂ (40 g/l) after washing in cold water and drying, The oxidation reduction process which makes a reduction bath an oxidation bath (melanism bath), NaOH (10 g/l), and NaBH₄ (6 g/l) was presented with Na₃PO₄ (6 g/l), and the roughened layer 20 was formed in all the surfaces of the conductor 18 including the through hole 16 (refer to drawing 1 (E)).

[0060](4) Next, the bulking agent 22 (Tatsuta Electric Wire & Cable non-conducting stopgap copper paste, trade name:DD paste) including a copper grain child with a mean particle diameter of 10 micrometers was filled up and stiffened [dry and] by screen-stencil to the through hole 16 (drawing 2 (F)). And the bulking agent 22 overflowing from the roughened layer 20 and the through hole 16 of the conductor 18 upper surface, # The belt sander polish using the belt abrasive paper (made by Sankyo Rikagaku) of 600 removed, buffing for removing the crack by this belt sander polish further was performed, and flattening of the surface of the substrate 30 was carried out (refer to drawing 2 (G)). Thus, the substrate 30 which the internal surface and the resin filler 22 of the through hole 16 stuck firmly via the roughened layer 20 is obtained.

[0061](5) The 0.6-micrometer-thick non-electrolytic copper plating film 23 was formed in the substrate 30 surface which carried out flattening with the above (4) by giving a palladium catalyst (product made from ATOTEKKU), and performing non-electrolytic copper plating according to the conditions of the above (2) (refer to drawing 1 (H)).

[0062](6) Subsequently, perform electrolytic copper plating on condition of the following, and the 15-micrometer-thick electrolytic copper plating film 24 is formed, The portion which serves as the wrap conductor layer (it becomes a circular through hole land) 26a in the bulking agent 22 which is a portion used as the conductor circuit 14, and with which thickness attached and the through hole 16 was filled up was formed (drawing 2 (I)).

[Electrolysis plating solution]

Sulfuric acid 180 g/l Copper sulfate 80 g/l Additive agent (made in ATOTEKKU Japan, a trade name: KAPARASHIDO GL)

1 ml/l[Electrolysis plating conditions]

Current density 1 A/dm² time 30 minutes Temperature Room temperature[0063](7) Stick a commercial photosensitive dry film on both sides of the substrate 30 in which the portion used as the conductor circuit 14 and the conductor layer 26a was formed, and a mask is laid in them, The development was carried out by exposure and 0.8% sodium carbonate by 100 mJ/cm², and the 15-micrometer-thick etching resist 25 was formed (refer to drawing 2 (J)).

[0064](8) And by etching using the mixed liquor of sulfuric acid and hydrogen peroxide of the plating films 23 and 24 of the portion which does not form the etching resist 25, carry out dissolution removal and the strip of the etching resist 8 is further carried out by KOH 5%, The wrap conductor layer 26a was formed for the independent conductor circuit 14a and the bulking agent 22 (refer to drawing 3 (K)).

[0065](9) Next, the roughened layer (uneven layer) 27 with a thickness of 2.5 micrometers which becomes the surface of the wrap conductor layer 26a from a Cu-nickel-P alloy about the conductor circuit 14a and the bulking agent 22 is formed, Furthermore, the 0.3-micrometer-thick Sn layer was formed in the surface of this roughened layer 27 (not shown about refer to drawing 3 (L), however a Sn layer). The formation method is as follows. Namely, carry out acid degreasing, and carry out soft etching, and rank second and the substrate 30 is processed with the catalyst solution which consists of a palladium chloride and organic acid, 8 g/l of copper sulfate, 0.6 g/l of nickel sulfate after giving a Pd catalyst and activating this catalyst, It plated with 15 g/l of citrate, 29 g/l of sodium hypophosphite, 31 g/l of boric acid, 0.1 g/l of surface-

active agents, and the nonelectrolytic plating bath that consists of pH=9, and the roughened layer 27 of the Cu-nickel-P alloy was formed for the conductor circuit 14a and the bulking agent 22 in the surface of the wrap conductor layer 26a. Subsequently, the Cu-Sn substitution reaction was carried out on condition of Howe stannous-fluoride 0.1 mol/l, thiourea 1.0 mol/l, temperature [of 50 **], and pH=1.2, and the 0.3-micrometer-thick Sn layer was provided in the surface of the roughened layer 10 (not shown about a Sn layer).

[0066]in addition -- replacing with a process (9) -- the conductor circuit 14a and the bulking agent 22 -- the surface of the wrap conductor layer 26a -- what is called melanism - reduction zone, [form and] Between conductor circuits, it may be filled up with resin, such as bisphenol F type epoxy resin, and the roughened layer of a Cu-nickel-P alloy may be formed with a surface polish and also plating of (9). (The package sectional view showing a section in drawing 6 is manufacturing using this process)

[0067](10) Adjust the resin filler for smoothing a substrate face. Here, bisphenol female mold epoxy monomer (product made from oil recovery shell, molecular weight 310, YL983U) 100 weight section, Imidazole hardening agent (made in [Shikoku Chemicals], 2E4 MZ-CN) 6 weight section is mixed, The SiO₂ spherical particle which is the mean particle diameter of 1.6 micrometers with which the surface was coated with the silane coupling agent to these mixtures (the product made from an ADOMA tech, CRS1101-CE, and here) By the size of grain of maximum size mixing 170 weight sections and defoaming agent (Sannopuko make, PERENORU S4) 0.5 weight section which below the thickness of the conductor circuit 14a mentioned later carries out, and kneading with 3 rolls, The viscosity of the mixture is adjusted to 45,000-49,000 cps at 23**1 **, and a resin filler is obtained. This resin filler is a non-solvent. It is because the agent between layers is applied in a post process, a solvent volatilizes from the layer of a resin filler when making it dry, heating and and exfoliation occurs between the layer of a resin filler, and the material between layers, if the resin filler containing a solvent is used.

[0068](11) The resin filler 28 obtained above (10) by using and applying a roll coater to both sides of the substrate 30, It is filled up between the conductor layers 26a on top, and is made to dry in 70 ** and 20 minutes, and it is similarly filled up with the resin filler 30 about the undersurface between the conductor layers 26a or between the conductor circuits 14a, and is made to dry in 70 ** and 20 minutes (refer to drawing 3 (M)).

[0069](12) One side of the substrate 30 which finished processing of the above (11) by belt sander polish using the belt abrasive paper (made by Sankyo Rikagaku) of **600. It grinds so that the resin filler 28 may remain in neither the surface of the conductor layer 26a, nor the surface of the conductor circuit 14a, and it ranks second, and buffing for removing the crack by the above-mentioned belt sander polish is performed (refer to drawing 3 (N)). Subsequently, at 100 **, it carries out at 150 ** for 1 hour for 3 hours, 120 ** performs heat-treatment of 7 hours at 180 ** for 1 hour, and the resin filler 28 is stiffened.

[0070]Thus, the resin filler 28 and the side of the conductor layer 26a and the conductor circuit 14a make it stick firmly via the roughened layer 27 by removing the conductor layer 26a and the roughened layer 27 of the surface of the conductor circuit 14a, and smoothing substrate both sides.

[0071](13) On the conductor layer 26a and the conductor circuit 14a upper surface which were exposed by processing of the above (12). The roughened layer (uneven layer) 29 which consists of a 2.5-micrometer-thick Cu-nickel-P alloy is formed, and a 0.3-micrometer-thick Sn layer is further provided in the surface of the roughened layer 29 (not shown about refer to drawing 3 (O), however a Sn layer). The formation method is as follows. Namely, carry out acid degreasing, and carry out soft etching, and rank second and the substrate 30 is processed with the catalyst solution which consists of a palladium chloride and organic acid, 8 g/l of copper sulfate, 0.6 g/l of nickel sulfate after giving a Pd catalyst and activating this catalyst, It plates with 15 g/l of citrate, 29 g/l of sodium hypophosphite, 31 g/l of boric acid, 0.1 g/l of surface-active agents, and the nonelectrolytic plating bath that consists of pH=9, and the roughened layer 29 of a Cu-nickel-P alloy is formed in the land upper surface of the copper conductor circuit 4 and the through hole 9. Subsequently, a Cu-Sn substitution reaction is carried out on condition of Howe stannous-fluoride 0.1 mol/l, thiourea 1.0 mol/l, temperature [of 50 **], and pH=1.2, and a 0.3-micrometer-thick Sn layer is provided in the surface of the roughened layer 29 (not shown about a Sn layer).

[0072](14) The adhesives A and B for nonelectrolytic plating which form the resin insulating layer between layers were prepared by the following methods.

A. preparation **. cresol novolak type epoxy resin (the Nippon Kayaku make.) of the upper adhesives for nonelectrolytic plating 35 weight sections (80% of solid content), photosensitive monomer (Toagosei make, ARONIKKUSU M315) 3.15 weight section, and defoaming agent (Sannopuko make, S-65) 0.5 weight section were carried out for the 25% acrylic ghost of the molecular weight 2500, and agitation mixing of the 3.6

weight sections was carried out for NMP.

** . -- polyether sulphone (PES) 12 weight section and an epoxy resin particle (Mitsuhiro -- transformation -- make.) After mixing [a thing with a mean particle diameter of 1.0 micrometer of a polymer pole] 3.09 weight sections for 7.2 weight sections and a thing with a mean particle diameter of 0.5 micrometer, NMP30 weight section was added further and agitation mixing was carried out by the bead mill.

** . Agitation mixing of the amount part of imidazole hardening agent (made in [Shikoku Chemicals], 2E4 MZ-CN) duplexs, the amount part of photoinitiator (Ciba-Geigy make, IRGACURE I-907) duplexs, photosensitizer (Nippon Kayaku make, DETX-S) 0.2 weight section, and the NMP1.5 weight section was carried out. These were mixed and the adhesive composition A for nonelectrolytic plating was prepared. [0073]B. preparation **. cresol novolak type epoxy resin (the Nippon Kayaku make.) of the lower layer adhesives for nonelectrolytic plating 35 weight sections (80% of solid content), photosensitive monomer (Toagosei make, ARONIKKUSU M315) 4 weight section, and defoaming agent (Sannopuko make, S-65) 0.5 weight section were carried out for the 25% acrylic ghost of the molecular weight 2500, and agitation mixing of the 3.6 weight sections was carried out for NMP.

** . After mixing 14.49 weight sections for polyether sulphone (PES) 12 weight section and a thing with a mean particle diameter of 0.5 micrometer of an epoxy resin particle (Mitsuhiro transformation make, a polymer pole), NMP20 weight section was added further and agitation mixing was carried out by the bead mill.

[0074]** . Agitation mixing of the amount part of imidazole hardening agent (made in [Shikoku Chemicals], 2E4 MZ-CN) duplexs, the amount part of photoinitiator (Ciba-Geigy make, IRGACURE I-907) duplexs, photosensitizer (Nippon Kayaku make, DETX-S) 0.2 weight section, and the NMP1.5 weight section was carried out. These were mixed and the lower layer adhesives B for nonelectrolytic plating were prepared.

[0075](15) After applying to both sides of a substrate first the adhesives 44 for nonelectrolytic plating of B (viscosity 1.5 Pa-s) prepared above (14) using a roll coater and neglecting it for 20 minutes by a horizontal state, at 60 **, perform desiccation for 30 minutes and it ranks second, After applying the adhesives 46 for nonelectrolytic plating of A (viscosity 1.0 Pa-s) using one RORUKO evening and neglecting it for 20 minutes by the horizontal state, desiccation for 30 minutes was performed at 60 **, and the 40-micrometer-thick adhesives layer 50 was formed (refer to drawing 4 (P)).

[0076](16) The photomask film in which the black spot of 85 micrometerphi was printed was stuck to both sides of the substrate in which the adhesives layer 50 was formed, and it exposed by 500 mJ/cm² with the ultrahigh pressure mercury lamp. By carrying out spray development of this with a DMDG (diethylene glycol dimethyl ether) solution, the opening which becomes an adhesives layer with the viahole of 85 micrometerphi was formed. By exposing the substrate concerned by 3000 mJ/cm² with an ultrahigh pressure mercury lamp, and carrying out heat-treatment of 5 hours at 150 ** after that at 100 ** for 1 hour, The layer insulation material layer (adhesives layer) 50 with a thickness of 35 micrometers which has the opening (opening 48 for viahole formation) excellent in the dimensional accuracy equivalent to a photomask film was formed (refer to drawing 4 (Q)). The tinning layer was selectively exposed to the opening used as a viahole.

[0077](17) Form the roughened surface 51 by the substrate in which the opening 48 for viahole formation was formed being immersed in chromic acid for 20 minutes, carrying out dissolution removal of the epoxy resin particle which exists in an adhesive layer surface, and roughening the surface of the adhesives layer 50 concerned in the about [Rmax=1-5micrometer] depth.

Then, after being immersed in the neutralized solution (made by SHIPUREI), it rinsed (drawing 4 (R)).

[0078](18) The catalyst core was given to the surface of the adhesives layer 50 and the opening 48 for viaholes by giving a palladium catalyst (product made from ATOTEKKU) to the substrate 30 which roughened the adhesive layer surface (a roughening depth of 5 micrometers).

[0079](19) The substrate was immersed during the non-electrolytic copper plating bath of the same presentation as the above (2), and the 0.6-micrometer-thick non-electrolytic copper plating film 52 was formed in the roughened surface 51 whole (refer to drawing 4 (S)). At this time, since the non-electrolytic copper plating film 52 was thin, in the surface of this electroless plating film 52, the unevenness which followed the roughened surface 51 of the adhesives layer 50 was observed.

[0080](20) The commercial photosensitive dry film was stuck on the non-electrolytic copper plating film 52, the mask was laid, the development was carried out by exposure and 0.8% sodium carbonate by 100 mJ/cm², and the 15-micrometer-thick plating resist 54 was formed (refer to drawing 4 (T)).

[0081](21) It ranked second, electrolytic copper plating was performed according to the conditions of the above (6), and the 15-micrometer-thick electrolytic copper plating film 56 was formed (refer to drawing 5 (U)).

[0082](22) After carrying out the strip of the plating resist 56 by KOH 5%, carry out the etching process of the electroless plating film 52 under the plating resist 56 with the mixed liquor of sulfuric acid and hydrogen peroxide, and dissolution removal is carried out. The 16-micrometer-thick conductor circuit 58 and the viahole 60 which consist of the non-electrolytic copper plating film 52 and the electrolytic copper plating film 56 are formed (drawing 5 (V)). Then, the roughened layer 62 was formed in this conductor circuit 58 and the surface of the viahole 60, and it was considered as the multilayer printed wiring board of three layers of one side (refer to drawing 5 (W)). Pd which remains in the roughened surface of the adhesives layer 50 was immersed in chromic acid (800 g/l) for 1 to 10 minutes, and was removed.

[0083](23) The process of (15) - (22) was repeated and single layer laminating of the resin insulating layer 150 between layers which has the viahole 160 was carried out further (drawing 5 (X)).

[0084](24) The commercial soldering resist composition was applied to both sides of the patchboard obtained above (23) by a thickness of 20 micrometers. Subsequently, after carrying out for 20 minutes at 70 ** and performing the drying process for 30 minutes at 70 **, the DMTG development was exposed and carried out by the ultraviolet rays of 1000 mJ/cm². And further, by 80 **, it heat-treated at 120 ** at 100 ** for 1 hour for 1 hour, and heat-treated on the conditions of 3 hours at 150 ** for 1 hour, and the solder resist layer (opening diameter of 200 micrometers) (20 micrometers in thickness) 70 in which the pad portion 71 carried out the opening was formed (refer to drawing 6).

[0085](25) Next, the substrate 30 in which the solder resist layer 70 was formed is immersed in the electroless nickel plating liquid of pH=5 which consists of 30 g/l of nickel chloride, 10 g/l of sodium hypophosphite, and 10 g/l of sodium acid citrate for 20 minutes. The 5-micrometer-thick nickel plating layer 72 was formed in the opening 71. The substrate 30 is immersed in the unelectrolyzed gold plating liquid which consists of 2 g/l of gold cyanide potassium, 75 g/l of ammonium chloride, 50 g/l of sodium acid citrate, and 10 g/l of sodium hypophosphite for 23 seconds on 93 ** conditions. The 0.03-micrometer-thick gold plating layer 74 was formed on the nickel plating layer 72.

[0086](26) And by printing soldering paste to the opening 71 of the solder resist layer 70, and carrying out a reflow to it at 200 **, the solder vamps 76U and 76D were formed, and the printed wired board which has a solder vamp was manufactured.

[0087]

[Effect of the Invention]As explained above, according to the printed wired board of this invention, densification of the through hole can be carried out and a substrate with few number of layerses can be provided.

[Translation done.]

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1]It is a figure showing the manufacturing process of the multilayer printed wiring board concerning the example of this invention.

[Drawing 2]It is a figure showing the manufacturing process of the multilayer printed wiring board concerning the example of this invention.

[Drawing 3]It is a figure showing the manufacturing process of the multilayer printed wiring board concerning the example of this invention.

[Drawing 4]It is a figure showing the manufacturing process of the multilayer printed wiring board concerning the example of this invention.

[Drawing 5]It is a figure showing the manufacturing process of the multilayer printed wiring board concerning the example of this invention.

[Drawing 6]It is a sectional view showing the multilayer printed wiring board concerning the example of this invention.

[Drawing 7]It is a B-B sectional view of the multilayer printed wiring board shown in drawing 6.

[Drawing 8]It is a top view of the multilayered-cores board of the package substrate concerning conventional technology.

[Description of Notations]

14 Conductor circuit (conductor layer)

16 Through hole

22 Bulking agent

26a Conductor layer

30 Core substrate (multilayered-cores board)

50 The resin insulating layer between layers

58 Conductor circuit (conductor layer)

60 Viahole

150 The resin insulating layer between layers

160 Viahole

[Translation done.]

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

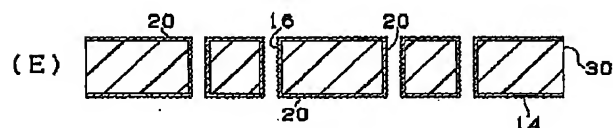
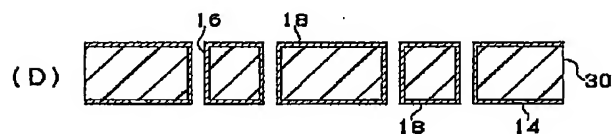
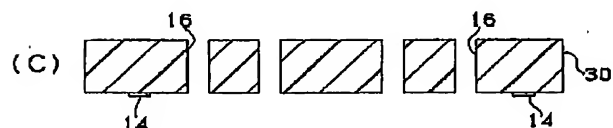
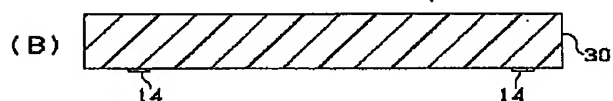
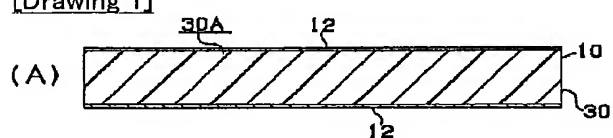
1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.*** shows the word which can not be translated.

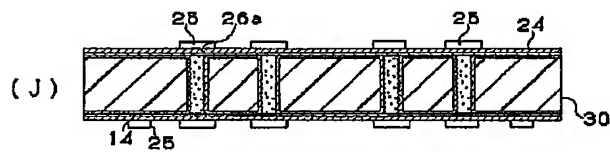
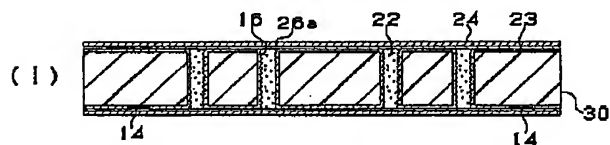
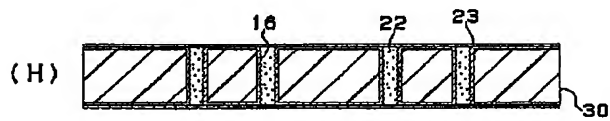
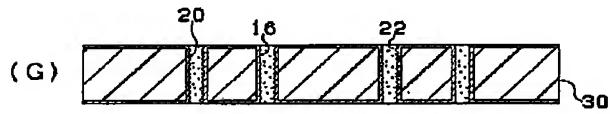
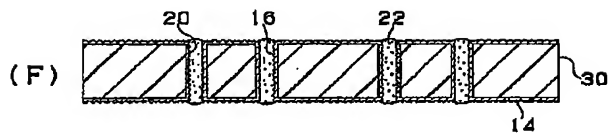
3.In the drawings, any words are not translated.

DRAWINGS

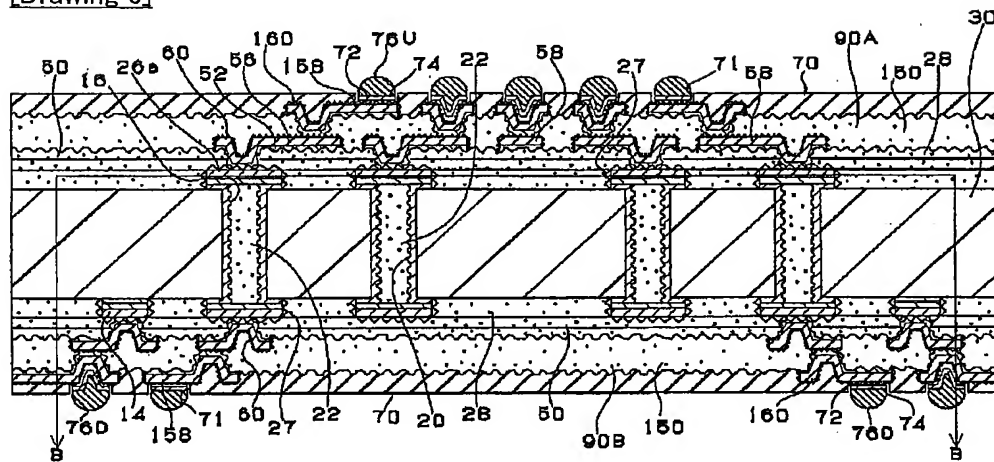
[Drawing 1]



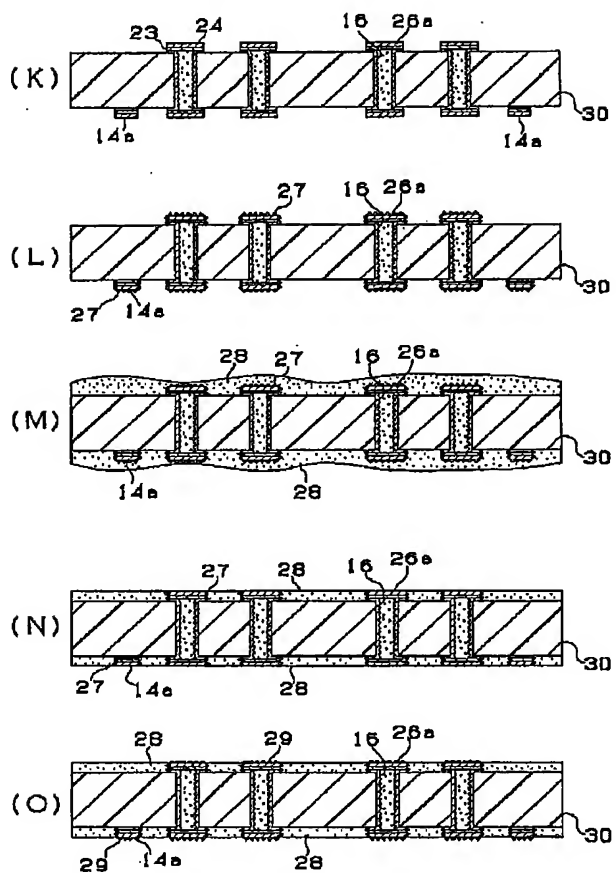
[Drawing 2]



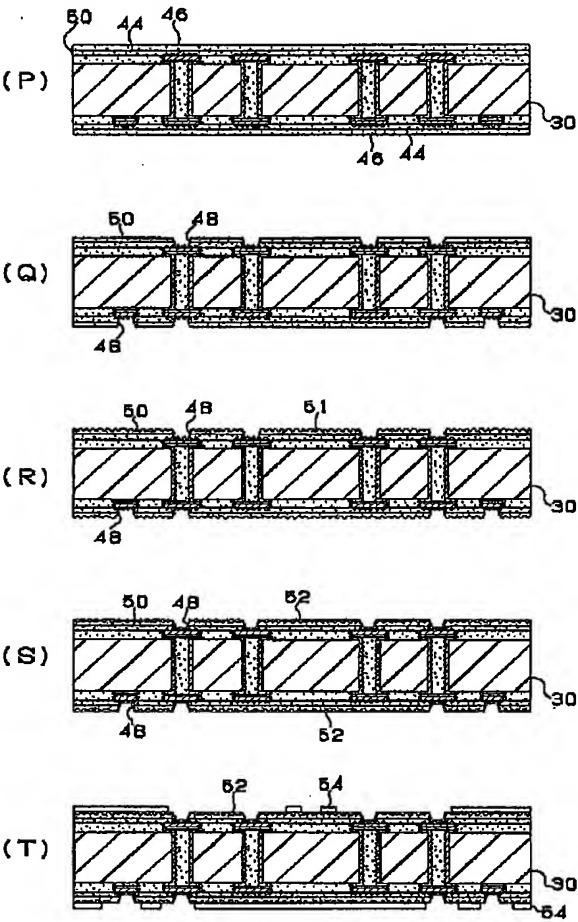
[Drawing 6]



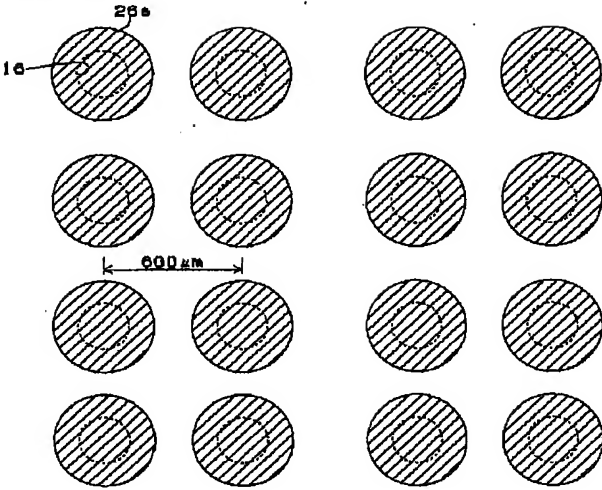
[Drawing 3]



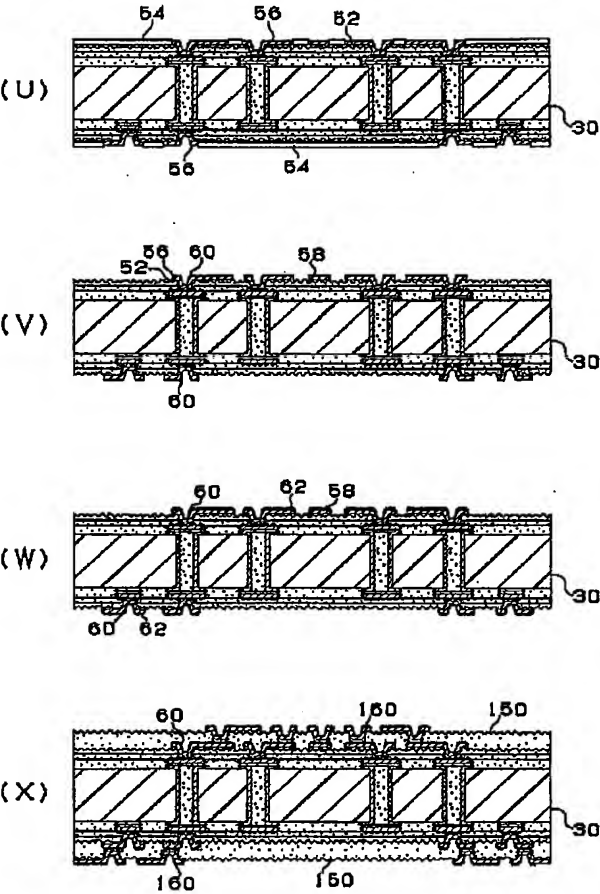
[Drawing 4]



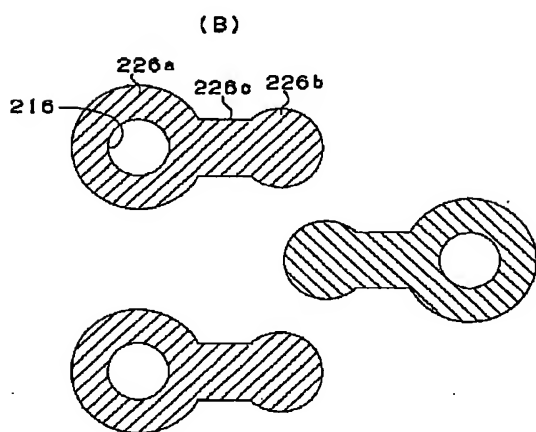
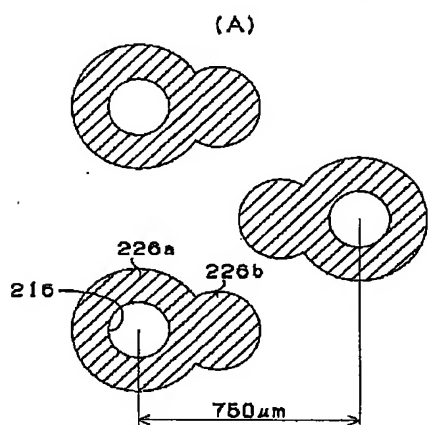
[Drawing 7]



[Drawing 5]



[Drawing 8]



[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-307936

(43) 公開日 平成11年(1999)11月5日

(51) Int.Cl.⁶
H 0 5 K 3/46

識別記号

F I
H 0 5 K 3/46

K
N

審査請求 未請求 請求項の数 3 F D (全 13 頁)

(21) 出願番号 特願平10-122942

(22) 出願日 平成10年(1998)4月16日

(71) 出願人 000000158

イビデン株式会社

岐阜県大垣市神田町2丁目1番地

(72) 発明者 浅井 元雄

岐阜県揖斐郡揖斐川町北方1-1 イビデ
ン株式会社大垣北工場内

(72) 発明者 瀬川 博史

岐阜県揖斐郡揖斐川町北方1-1 イビデ
ン株式会社大垣北工場内

(72) 発明者 野田 宏太

岐阜県揖斐郡揖斐川町北方1-1 イビデ
ン株式会社大垣北工場内

(74) 代理人 弁理士 田下 明人 (外1名)

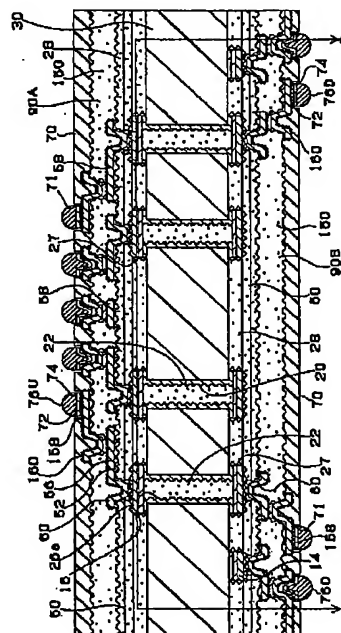
最終頁に続く

(54) 【発明の名称】 多層プリント配線板

(57) 【要約】

【課題】 コア基板に形成されるスルーホールを高密度化することで、ビルドアップ層の層数を減らし得る多層プリント配線板を提供する。

【解決手段】 表側のビルトアップ層90Aと裏側のビルトアップ層90Bとが、コア基板30に形成されたスルーホール16を介して接続されている。該スルーホール16には充填剤22が充填され、該充填剤22のスルーホール16からの露出面を覆うように導体層26aが形成されている。そして、該導体層26aに上層側のバイアホール60が接続されている。ここで、導体層26aを円形に形成することにより、スルーホール16のランド形状を円形とし、コア基板に形成されるスルーホールを高密度化することで、ビルドアップ層の層数を減らすことができる。



【特許請求の範囲】

【請求項1】 層間樹脂絶縁層と導体層とが交互に積層され、各導体層間がバイアホールにて接続されたビルドアップ配線層が、コア基板の両面に形成されてなる多層プリント配線板において、

前記コア基板に形成されたスルーホールには、充填剤が充填されるとともに該充填剤のスルーホールからの露出面を覆う導体層が形成されてなり、その導体層にはバイアホールが接続されていることを特徴とする多層プリント配線板。

【請求項2】 前記コア基板に形成されるスルーホールのピッチ間隔が700 μ m以下であることを特徴とする請求項1に記載の多層プリント配線板。

【請求項3】 前記コア基板の両面の前記ビルドアップ配線層において、導体層を構成する導体回路が基板の外周方向へ向けて配線されている請求項1又は2に記載の多層プリント配線板。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、多層プリント配線板に関し、とくに、層間樹脂絶縁層と導体層とが交互に積層されたビルドアップ配線層が、コア基板の両面に形成されてなる多層プリント配線板に関するものである。

【0002】

【従来の技術】近年、ICチップを実装するパッケージ基板は、電子工業の進歩に伴う電子機器の小型化あるいは高速化に対応し、ファインパターンによる高密度化および信頼性の高いものが求められている。このようなパッケージ基板として、1997年、1月号の「表面実装技術」やPCT/JP96/02608号には、多層コア基板の両面にビルドアップ多層配線層が形成されたものが開示されている。

【0003】上掲の従来技術に係るパッケージ基板では、多層コア基板内の導体層とビルドアップ配線層との接続は、多層コア基板の表面にスルーホールから配線した内層パッドを設け、この内層パッドにバイアホールを接続させて行っていた。即ち、図8(A)に示すようにスルーホール216のランド226aに上層へのバイアホール接続用の内層パッド226bを付加するか、或いは、図8(B)に示すようにスルーホール216のランド226aに配線226cを介してバイアホール接続用の内層パッド226bを連結していた。

【0004】

【発明が解決しようとする課題】しかしながら、図8(A)又は図8(B)に示す従来技術のランド形状では、内層パッド相互の絶縁を保つためにスルーホール間隔が750 μ mを超えてしまい、これが、多層コア基板へのスルーホールの形成数を制限していた。

【0005】一方、パッケージ基板は、表面側の中央に

配設されたバンブにICチップを載置し、裏側の全面に形成されたバンブをマザーボードへ接続している。即ち、パッケージ基板のビルドアップ配線層内では、各層間樹脂絶縁層に形成される導体回路が基板の外周方向へ引き回され、上記表面側の中央に配設されたバンブから外周方向へ広がりながら裏面のバンブへ接続してる。

【0006】また、パッケージ基板では、表面側のバンブの数よりも裏面のバンブが多く形成されている。これは、裏面の複数のバンブからの配線が統合されながら表面側のバンブへ接続されるためである。ここで、コア基板の表側に形成されるビルドアップ配線層と、裏側に形成されるビルドアップ配線層とで、同じベースで配線を統合できることが、上層のビルドアップ配線層と下層のビルドアップ配線層との層数を等しく、即ち、層数を最小にする上で望ましい。しかしながら、上述したように多層コア基板に形成し得るスルーホールの数は制限される。このため、従来技術のパッケージ基板においては、裏側のビルドアップ配線層において或る程度配線を統合してから、多層コア基板のスルーホールを通して、表側のビルドアップ配線層へ接続していた。即ち、表側のビルドアップ配線層では、配線の密度が下がっているため、本来的に裏側のビルドアップ配線層と同じだけの層数を必要としていない。しかし、表裏のビルドアップ配線層の層数を異ならしめると、非対称性から反りが発生するため、表裏の層数を同じにしていた。即ち、多層コア基板に形成されるスルーホールの数が制限されるため、裏側のビルドアップ配線層の層数を増やさなければならぬに加えて、該層数の増えた裏側と等しい層数に表側のビルドアップ配線層を形成せねばならなかった。

【0007】即ち、従来技術の多層プリント配線板（パッケージ基板）においては、ビルドアップ層の層数を増やしている為、上下層の接続の信頼性が低下すると共に、パッケージ基板のコストが上昇し、また、パッケージ基板の厚みや重さが必要以上に大きくなってしまいう問題があった。

【0008】本発明は、上述した課題を解決するためになされたものであり、その目的とするところは、コア基板に形成されるスルーホールを高密度化することで、ビルドアップ層の層数を減らし得る多層プリント配線板を提供することにある。

【0009】

【課題を解決するための手段】発明者らは、上記目的の実現に向け鋭意研究した結果、内層パッドを介してバイアホールとスルーホールを接続するのではなく、スルーホールを覆うように形成した導体層の上に直接バイアホールを接続することを知見した。これにより、スルーホールの形状を円形にでき、スルーホールの形成数を増やすことができる。

【0010】本発明の多層プリント配線板は、導体層を

有する多層コア基板の両面に、層間樹脂絶縁層と導体層とが交互に積層されて各導体層間がバイアホールにて接続されたビルドアップ配線層が形成されてなり、前記多層コア基板には、ピッチ間隔が $700\mu\text{m}$ 以下のスルーホールが複数形成され、そのスルーホールには充填剤が充填されるとともに該充填剤のスルーホールからの露出面を覆う導体層が形成されてなり、その導体層にはバイアホールが接続されていることを技術的特徴とする。なお、本発明に係る上記多層プリント配線板において、スルーホールに充填される充填剤は、金属粒子と、熱硬化性または熱可塑性の樹脂からなることが好ましい。

【0011】本発明の多層プリント配線板は、コア基板に設けたスルーホールに充填剤が充填され、さらに、この充填剤のスルーホールからの露出面を覆う導体層が形成され、この導体層にバイアホールを接続させることで、ビルドアップ配線層とスルーホールの接続を行う構造とした点に特徴がある。このような本発明の構成によれば、スルーホール直上の領域を内層パッドとして機能せしめることでデッドスペースが無くなり、しかも、スルーホールからバイアホールに接続するための内層パッドを配線する必要もないので、スルーホールのランド形状を真円とすることができる。その結果、多層コア基板中に設けられるスルーホールの配置密度が向上し、スルーホール数を増やすことができ、このスルーホールを介して裏側のビルドアップ配線層の信号線を表面のビルドアップ層に接続できるのである。

【0012】それゆえ、導体回路の基板の外周への引き回しを表面、裏面の両方のビルドアップ層で行うことができる。また、上述したように多層プリント配線板では、裏面の複数のパンプからの配線が統合されながら表面側のパンプへ接続されるが、スルーホールを必要な密度で形成することで、表側及び裏側に形成されるビルドアップ配線層で同じペースで配線の統合を行えるため、表側及び裏側に形成されるビルドアップ配線層の層数を減らすことができるのである。前記スルーホールのピッチは $700\mu\text{m}$ 以下が必要である。 $700\mu\text{m}$ 以下とすることにより、スルーホール数を??? (個/基板)以上とすることができ、信号線を確実に表面から裏面のビルドアップ層へ接続できる。

【0013】このような本発明の多層プリント配線板において、コア基板は多層化されていてもよい。この多層コア基板は、導体層とプリブレグとを交互に積層して形成される。例えば、ガラス繊維やアラミド繊維の布あるいは不織布に樹脂を含浸させてBステージとしたプリブレグを、銅箔や回路基板と交互に積層し、次いで、加熱プレスして一体化することにより形成される。

【0014】本発明の多層プリント配線板でスルーホールに充填される充填剤は、金属粒子、熱硬化性の樹脂および硬化剤からなるか、あるいは金属粒子および熱可塑性の樹脂からなることが好ましく、必要に応じて溶剤を

添加してもよい。このような充填剤は、金属粒子が含まれていると、その表面を研磨することにより金属粒子が露出し、この露出した金属粒子を介してその上に形成される導体層のめっき膜と一体化するため、PCT (pressure cooker test) のような過酷な高温多湿条件下でも導体層との界面で剥離が発生しにくくなる。また、この充填剤は、壁面に金属膜が形成されたスルーホールに充填されるので、金属イオンのマイグレーションが発生しない。

【0015】金属粒子としては、銅、金、銀、アルミニウム、ニッケル、チタン、クロム、すず/鉛、パラジウム、プラチナなどが使用できる。なお、この金属粒子の粒子径は、 $0.1\sim50\mu\text{m}$ がよい。この理由は、 $0.1\mu\text{m}$ 未満であると、銅表面が酸化して樹脂に対する濡れ性が悪くなり、一方、 $50\mu\text{m}$ を超えると、印刷性が悪くなるからである。また、この金属粒子の配合量は、全体量に対して $30\sim90\text{wt}\%$ がよい。この理由は、 $30\text{wt}\%$ より少ないと、フタめっきの密着性が悪くなり、一方、 $90\text{wt}\%$ を超えると、印刷性が悪化するからである。

【0016】使用される樹脂としては、ビスフェノールA型、ビスフェノールF型などのエポキシ樹脂、フェノール樹脂、ポリイミド樹脂、ポリテトラフルオロエチレン (PTFE) 等のフッ素樹脂、ビスマレイミドトリアジン (BT) 樹脂、FEP、PFA、PPS、PEN、PES、ナイロン、アラミド、PEEK、PEKK、PETなどを使用できる。硬化剤としては、イミダゾール系、フェノール系、アミン系などの硬化剤を使用できる。

【0017】溶剤としては、NMP (ノルマルメチルピロリドン)、DMDG (ジエチレングリコールジメチルエーテル)、グリセリン、水、1-又は2-又は3-のシクロヘキサノール、シクロヘキサノン、メチルセロソルブ、メチルセロソルブアセテート、メタノール、エタノール、ブタノール、プロパノールなどが使用できる。

【0018】この充填剤は、非導電性であることが望ましい。非導電性の方が硬化収縮が小さく、導体層やバイアホールとの剥離が起りにくいからである。

【0019】本発明の多層プリント配線板では、充填剤が充填されたスルーホールの内壁導体表面に粗化層が形成されていることが望ましい。スルーホール内壁の導体表面に粗化層が形成されるのは、充填剤とスルーホールとが粗化層を介して密着し隙間が発生しないからである。もし、充填剤とスルーホールとの間に空隙が存在すると、その直上に電解めっきで形成される導体層は、平坦なものとならなかったり、空隙中の空気が熱膨張してクラックや剥離を引き起こしたりし、また一方で、空隙に水が溜まってマイグレーションやクラックの原因となったりする。この点、粗化層が形成されているとこのような不良発生を防止することができる。

【0020】また、本発明において、充填剤のスルーホールからの露出面を覆う導体層の表面には、スルーホール内壁の導体表面に形成した粗化層と同様の粗化層が形成されていることが有利である。この理由は、粗化層により層間樹脂絶縁層やビアホールとの密着性を改善することができるからである。特に、導体層の側面に粗化層が形成されていると、導体層側面と層間樹脂絶縁層との密着不足によってこれらの界面を起点として層間樹脂絶縁層に向けて発生するクラックを抑制することができる。

【0021】このようなスルーホール内壁や導体層の表面に形成される粗化層の厚さは、0.1~10μmがよい。この理由は、厚すぎると層間ショートの原因となり、薄すぎると被着体との密着力が低くなるからである。この粗化層としては、スルーホール内壁の導体あるいは導体層の表面を、酸化（黒化）-還元処理して形成したもの、有機酸と第二銅錯体の混合水溶液で処理して形成したもの、あるいは銅-ニッケル-リン針状合金のめっき処理にて形成したものがよい。

【0022】これらの処理のうち、酸化（黒化）-還元処理による方法では、NaOH（10g/l）、NaClO₂（40g/l）、Na₂PO₄（6g/l）を酸化浴（黒化浴）、NaOH（10g/l）、NaBH₄（6g/l）を還元浴とする。

【0023】また、有機酸-第二銅錯体の混合水溶液を用いた処理では、スプレーやバブリングなどの酸素共存条件下で次のように作用し、導体回路である銅などの金属箔を溶解させる。

$$\text{Cu} + \text{Cu}(\text{II})\text{An} \rightarrow 2\text{Cu}(\text{I})\text{An}/2$$

$$2\text{Cu}(\text{I})\text{An}/2 + n/4\text{O}_2 + n\text{AH}(\text{エアレーション}) \rightarrow 2\text{Cu}(\text{II})\text{An} + n/2\text{H}_2\text{O}$$

 Aは錯化剤（キレート剤として作用）、nは配位数である。

【0024】この処理で用いられる第二銅錯体は、アゾール類の第二銅錯体がよい。このアゾール類の第二銅錯体は、金属銅などを酸化するための酸化剤として作用する。アゾール類としては、ジアゾール、トリアゾール、テトラゾールがよい。なかでもイミダゾール、2-メチルイミダゾール、2-エチルイミダゾール、2-エチル-4-メチルイミダゾール、2-フェニルイミダゾール、2-ウンデシルイミダゾールなどがよい。このアゾール類の第二銅錯体の含有量は、1~15重量%がよい。この範囲内にあれば、溶解性および安定性に優れるからである。

【0025】また、有機酸は、酸化銅を溶解させるために配合させるものである。具体例としては、ギ酸、酢酸、プロピオン酸、酪酸、吉草酸、カプロン酸、アクリル酸、クロトン酸、シュウ酸、マロン酸、コハク酸、グルタル酸、マレイン酸、安息香酸、グリコール酸、乳酸、リンゴ酸、スルファミン酸から選ばれるいずれか少

なくとも1種がよい。この有機酸の含有量は、0.1~30重量%がよい。酸化された銅の溶解性を維持し、かつ溶解安定性を確保するためである。なお、発生した第一銅錯体は、酸の作用で溶解し、酸素と結合して第二銅錯体となって、再び銅の酸化に寄与する。また、有機酸に加えて、ホウフッ酸、塩酸、硫酸などの無機酸を添加してもよい。

【0026】この有機酸-第二銅錯体からなるエッチング液には、銅の溶解やアゾール類の酸化作用を補助するために、ハロゲンイオン、例えば、フッ素イオン、塩素イオン、臭素イオンなどを加えてもよい。このハロゲンイオンは、塩酸、塩化ナトリウムなどを添加して供給できる。ハロゲンイオン量は、0.01~20重量%がよい。この範囲内にあれば、形成された粗化層は層間樹脂絶縁層との密着性に優れるからである。

【0027】この有機酸-第二銅錯体からなるエッチング液は、アゾール類の第二銅錯体および有機酸（必要に応じてハロゲンイオン）を、水に溶解して調製する。

【0028】また、銅-ニッケル-リンからなる針状合金のめっき処理では、硫酸銅1~40g/l、硫酸ニッケル0.1~6.0g/l、クエン酸10~20g/l、次亜リン酸塩10~100g/l、ホウ酸10~40g/l、界面活性剤0.01~10g/lからなる液組成のめっき浴を用いることが望ましい。

【0029】本発明において、ビルドアップ配線層で使用される層間樹脂絶縁層としては、熱硬化性樹脂、熱可塑性樹脂、あるいは熱硬化性樹脂と熱可塑性樹脂の複合体を用いることができる。熱硬化性樹脂としては、エポキシ樹脂、ポリイミド樹脂、フェノール樹脂、熱硬化性ポリフェニレンエーテル（PPE）などが使用できる。熱可塑性樹脂としては、ポリテトラフルオロエチレン（PTFE）等のフッ素樹脂、ポリエチレンテレフタレート（PET）、ポリスルホン（PSF）、ポリフェニレンスルフィド（PPS）、熱可塑性ポリフェニレンエーテル（PPE）、ポリエーテルスルホン（PES）、ポリエーテルイミド（PEI）、ポリフェニレンスルホン（PPES）、4フッ化エチレン6フッ化ブロピレン共重合体（FEP）、4フッ化エチレンパーフロアルコキシ共重合体（PFA）、ポリエチレンナフタレート（PEN）、ポリエーテルエーテルケトン（PEEK）、ポリオレフィン系樹脂などが使用できる。熱硬化性樹脂と熱可塑性樹脂の複合体としては、エポキシ樹脂-PES、エポキシ樹脂-PSF、エポキシ樹脂-PPS、エポキシ樹脂-PPEなどが使用できる。

【0030】本発明では、層間樹脂絶縁層としてガラスクロス含浸樹脂複合体を用いることができる。このガラスクロス含浸樹脂複合体としては、ガラスクロス含浸エポキシ、ガラスクロス含浸ビスマレイミドトリアジン、ガラスクロス含浸PTFE、ガラスクロス含浸PPE、ガラスクロス含浸ポリイミドなどがある。

【0031】また本発明において、層間樹脂絶縁層としては、無電解めっき用接着剤を用いることができる。この無電解めっき用接着剤としては、硬化処理された酸あるいは酸化剤に可溶性の耐熱性樹脂粒子が、硬化処理によって酸あるいは酸化剤に難溶性となる未硬化の耐熱性樹脂中に分散されてなるものが最適である。この理由は、酸や酸化剤で処理することにより、耐熱性樹脂粒子が溶解除去されて、表面に蛸つば状のアンカーからなる粗化面が形成できるからである。

【0032】上記無電解めっき用接着剤において、特に硬化処理された前記耐熱性樹脂粒子としては、①平均粒径が $10\mu\text{m}$ 以下の耐熱性樹脂粉末、②平均粒径が $2\mu\text{m}$ 以下の耐熱性樹脂粉末を凝集させた凝集粒子、③平均粒径が $2\sim 10\mu\text{m}$ の耐熱性樹脂粉末と平均粒径が $2\mu\text{m}$ 以下の耐熱性樹脂粉末との混合物、④平均粒径が $2\sim 10\mu\text{m}$ の耐熱性樹脂粉末の表面に平均粒径が $2\mu\text{m}$ 以下の耐熱性樹脂粉末または無機粉末のいずれか少なくとも1種を付着させてなる疑似粒子、⑤平均粒径が $0.1\sim 0.8\mu\text{m}$ の耐熱性樹脂粉末と平均粒径が $0.8\mu\text{m}$ を超え $2\mu\text{m}$ 未満の耐熱性樹脂粉末との混合物、⑥平均粒径が $0.1\sim 1.0\mu\text{m}$ の耐熱性樹脂粉末、から選ばれ、いずれか少なくとも1種を用いることが望ましい。これらは、より複雑なアンカーを形成できるからである。この無電解めっき用接着剤で使用する耐熱性樹脂は、前述の熱硬化性樹脂、熱可塑性樹脂、熱硬化性樹脂と熱可塑性樹脂の複合体を使用できる。

【0033】本発明において、多層コア基板上に形成された導体層（スルーホールに充填された充填剤を覆うものを含む）と層間樹脂絶縁層上に形成された導体回路は、バイアホールで接続することができる。この場合、バイアホールは、めっき膜や充填剤で充填してもよい。

【0034】

【発明の実施の形態】以下、本発明の多層プリント配線板について図を参照して説明する。図6は、本発明の実施形態に係る多層プリント配線板の断面を示している。多層コア基板30の表面及び裏面にビルドアップ配線層90A、90Bが形成されている。該ビルトアップ層90A、90Bは、バイアホール60及び導体回路58の形成された層間樹脂絶縁層50と、バイアホール160及び導体回路158の形成された層間樹脂絶縁層150とからなる。

【0035】表面側には、ICチップの bumps（図示せず）へ接続するための半田 bumps 76U が形成され、裏面側には、マザーボードの bumps（図示せず）へ接続するための半田 bumps 76U が形成されている。多層プリント配線板内では、ICチップへ接続する半田 bumps 76U からの導体回路が、基板の外周方向へ向けて配線され、マザーボード側へ接続する半田 bumps 76D へ接続されている。表側のビルトアップ層90Aと裏側のビルトアップ層90Bとは、コア基板30に形成されたスル

ーホール16を介して接続されている。

【0036】即ち、該スルーホール16には充填剤22が充填され、該充填剤22のスルーホール16からの露出面を覆うように導体層26aが形成されている。そして、該導体層26aに、上層側のバイアホール60が接続され、該バイアホールに接続された導体回路58に、上層のバイアホール160が接続され、該バイアホール160、或いは、バイアホール160へ接続された導体回路158に半田 bumps 76U、76D が形成されている。

【0037】図6に示す多層プリント配線板のコア基板30の平面図、即ち、図6中のB-B断面を図7に示す。ここで、スルーホール16内の充填剤の上側に形成される導体層26aは、円形に形成され、図6を参照して上述したように該導体層26aへ直接バイアホール60が接続されている。このように接続することで、スルーホール16直上の領域を図8(A)及び図8(B)を参照して上述した内層パッド226bとして機能せしめることでデッドスペースを無くし、しかも、スルーホール16からバイアホール60へ接続するための内層パッド226bを付加しないので、スルーホール16のランド形状を円形とすることができる。その結果、多層コア基板30中に設けられるスルーホール16の配置密度を向上させることによりスルーホールの数を増やすことができる。

【0038】それゆえ、導体回路の基板の外周への引き回しを表面、裏面の両方のビルドアップ層90A、90Bで行うことができる。また、上述したように多層プリント配線板では、裏面の複数の bumps からの配線が統合されながら表面側の bumps へ接続されるが、スルーホールを必要な密度で形成することで、表側及び裏側に形成されるビルドアップ配線層90A、90Bで、同じベースで配線の統合を行える。これにより、表側及び裏側に形成されるビルドアップ配線層90A、90Bの層数を減らすことができる。

【0039】図6中に示すコア基板30では、スルーホールのピッチは $600\mu\text{m}$ であるが、ピッチは $700\mu\text{m}$ 以下にすることが望ましい。 $700\mu\text{m}$ 以下とすることにより、スルーホール数を（個/基板）以上にすることができ、信号線を確実に表面から裏面のビルドアップ層へ接続できる。

【0040】引き続き、図6に示す多層プリント配線板を製造する方法について一例を挙げて具体的に説明する。なお、以下に述べる方法は、セミアディティブ法による多層プリント配線板の製造方法に関するものであるが、本発明における多層プリント配線板の製造方法では、フルアディティブ法やマルチラミネーション法、ビラミネーション法を採用することができる。

【0041】(1) コア基板30の作製

コア基板は、プリプレグを積層して形成される。例え

ば、ガラス繊維やアラミド繊維の布あるいは不織布に、エポキシ樹脂、ポリイミド樹脂、ビスマレイミドトリアジン樹脂、フッ素樹脂（ポリテトラフルオロエチレン等）等を含浸させてBステージとしたプリプレグを積層して、次いで、加熱プレスして一体化することにより形成される。なお、コア基板上的回路基板としては、例えば両面銅張積層板の両面にエッチングレジストを設けてエッチングすることにより銅パターンを設けたものを用いることができる。

【0042】(2) スルーホール16の形成

①、多層コア基板にドリル等で貫通孔を空け、貫通孔の壁面および基板表面に無電解めっきを施してスルーホール16を形成する。無電解めっきとしては銅めっきがよい。なお、基板表面が、フッ素樹脂のようにめっきのつきまわりが悪い樹脂である場合は、有機金属ナトリウムからなる前処理剤（商品名：潤工社製：テトラエッチ）、プラズマ処理などの表面改質を行う。

【0043】②、次に、厚付けのために電解めっきを行う。この電解めっきとしては銅めっきがよい。

③、そしてさらに、スルーホール内壁および電解めっき膜表面を粗化処理して粗化層20を設ける。この粗化層には、黒化（酸化）還元処理によるもの、有機酸と第二銅錯体の混合水溶液をスプレー処理して形成したもの、あるいは銅-ニッケル-リン針伏合金めっきによるものがある。

【0044】(3) 充填剤の充填

①、前記(2)で形成したスルーホール16に、前述した構成の充填剤22を充填する。具体的には、充填剤は、スルーホール部分に開口を設けたマスクを載置した基板上に、印刷法にて塗布することによりスルーホールに充填させ、充填後、乾燥、硬化させる。

【0045】この充填剤には、金属粒子と樹脂の密着性を上げるために、シランカップリング剤などの金属表面改質剤を添加してもよい。また、その他の添加剤として、アクリル系消泡剤やシリコン系消泡剤などの消泡剤、シリカやアルミナ、タルクなどの無機充填剤を添加してもよい。また、金属粒子の表面には、シランカップリング剤を付着させてもよい。

【0046】このような充填剤は、例えば、以下の条件にて印刷される。即ち、テトロン製メッシュ板の印刷マスク板と45℃の角スキージを用い、Cuペースト粘度：120Pa・s、スキージ速度：13mm/sec、スキージ押込み量：1mmの条件で印刷する。

【0047】②、スルーホールからはみ出した充填剤および基板の電解めっき膜表面の粗化層を研磨により除去して、基板表面を平坦化する。研磨は、ベルトサンダーやパフ研磨がよい。

【0048】(4) 導体層26a（多層コア基板上的導体回路と充填剤を覆う導体層）の形成

①、前記(3)で平坦化した基板の表面に触媒核を付与

した後、無電解めっきを施し、厚さ0.1～5μm程度の無電解めっき膜を形成し、さらに必要に応じて電解めっきを施し、厚さ5～25μmの電解めっき膜を設ける。次に、めっき膜の表面に、感光性のドライフィルムを加熱プレスによりラミネートし、パターンが描画されたフォトマスクフィルム（ガラス製がよい）を載置し、露光した後、現像液で現像してエッチングレジストを設ける。そして、エッチングレジスト非形成部分の導体をエッチング液で溶解除去することにより、導体回路部分および充填剤22を覆う導体層26a部分を形成する。そのエッチング液としては、硫酸-過酸化水素の水溶液、過硫酸アンモニウムや過硫酸ナトリウム、過硫酸カリウムなどの過硫酸塩水溶液、塩化第二鉄や塩化第二銅の水溶液がよい。

【0049】②、そして、エッチングレジストを剥離して、独立した導体回路14および導体層26aとした後、その導体回路14および導体層26aの表面に、粗化層27を形成する。導体回路14および充填剤を覆う導体層26aの表面に粗化層27を形成すると、その導体は、層間樹脂絶縁層との密着性に優れるので、導体回路および充填剤を覆う導体層の側面と樹脂絶縁層との界面を起点とするクラックが発生しない。また一方で、充填剤を覆う導体層は、電氣的に接続されるパイアホールとの密着性が改善される。この粗化層の形成方法は、前述したとおりであり、黒化（酸化）還元処理、針伏合金めっき、あるいはエッチングして形成する方法などがある。

【0050】さらに、粗化後に、基板表面の導体層26aに起因する凹凸を無くすため、導体回路間に樹脂28を塗布して充填し、これを硬化し、表面を導体が露出するまで研磨して平滑化してもよい。樹脂としては、ビスフェノールA型エポキシ樹脂、ビスフェノールF型エポキシ樹脂などのビスフェノール型エポキシ樹脂、イミダゾール硬化剤および無機粒子からなる樹脂を使用することが望ましい。ビスフェノール型エポキシ樹脂は、粘度が低く、塗布しやすいからである。また、ビスフェノールF型エポキシ樹脂は、溶剤を使用しなくてもよいため、加熱硬化時に溶剤が揮発することに起因するクラックや剥離を防止でき、有利である。そしてさらに、研磨後に導体層表面に粗化層を設けることが望ましい。

【0051】なお、導体層の形成方法として、以下の工程を採用することができる。即ち、前記(1)～(3)の工程を終えた基板にめっきレジストを形成し、次いでレジスト非形成部分に電解めっきを施して導体回路および導体層部分を形成し、これらの導体上に、ハウフッ化スズ、ハウフッ化鉛、ハウフッ化水素酸、ペブトンからなる電解半田めっき液を用いて半田めっき膜を形成した後、めっきレジストを除去し、そのめっきレジスト下の無電解めっき膜および銅箔をエッチング除去して独立パターンを形成し、さらに、半田めっき膜をハウフッ酸水

溶液で溶解除去して導体層を形成する。

【0052】(5) 層間樹脂絶縁層50、導体回路58及びバイアホール60の形成

①、このようにして作製した配線基板の上に、層間樹脂絶縁層を形成する。層間樹脂絶縁層50としては、熱硬化性樹脂、熱可塑性樹脂、あるいは熱硬化性樹脂と熱可塑性樹脂の複合体を使用できる。また、本発明では、層間樹脂絶縁材として前述した無電解めっき用接着剤を用いることができる。層間樹脂絶縁層は、これらの樹脂の未硬化液を塗布したり、フィルム状の樹脂を熱圧着してラミネートすることにより形成される。

【0053】②、次に、この層間樹脂絶縁層に被覆される下層の導体回路(スルーホール)との電気的接続を確保するために層間樹脂絶縁層50に開口を設ける。この開口の穿孔は、層間樹脂絶縁層が感光性樹脂からなる場合は、露光、現像処理にて行い、熱硬化性樹脂や熱可塑性樹脂からなる場合は、レーザ光にて行う。このとき、使用されるレーザ光としては、炭酸ガスレーザ、紫外線レーザ、エキシマレーザなどがある。レーザ光にて孔空けた場合は、デスミア処理を行ってもよい。このデスミア処理は、クロム酸、過マンガン酸塩などの水溶液からなる酸化剤を使用して行うことができ、また酸素プラズマなどで処理してもよい。

【0054】③、開口を有する層間樹脂絶縁層50を形成した後、必要に応じてその表面を粗化する。上述した無電解めっき用接着剤を層間樹脂絶縁層として使用した場合は、表面を酸化剤で処理して耐熱性樹脂粒子のみを選択的に除去して粗化する。また、熱硬化性樹脂や熱可塑性樹脂を使用した場合でも、クロム酸、過マンガン酸塩などの水溶液から選ばれる酸化剤による表面粗化処理が有効である。なお、酸化剤では粗化されないフッ素樹脂(ポリテトラフルオロエチレン等)などの樹脂の場合は、プラズマ処理やテトラエッチなどにより表面を粗化する。

【0055】④、次に、無電解めっき用の触媒核を付与する。一般に触媒核は、パラジウムスズコロイドであり、この溶液に基板を浸漬、乾燥、加熱処理して樹脂表面に触媒核を固定する。また、金属核をCVD、スパッタ、プラズマにより樹脂表面に打ち込んで触媒核とすることができる。この場合、樹脂表面に金属核が埋め込まれることになり、この金属核を中心にめっきが析出して導体回路が形成されるため、粗化しにくい樹脂やフッ素樹脂(ポリテトラフルオロエチレン等)のように樹脂と導体回路との密着が悪い樹脂でも、密着性を確保できる。この金属核としては、パラジウム、銀、金、白金、チタン、銅およびニッケルから選ばれる少なくとも1種以上がよい。なお、金属核の量は、 $20\mu\text{g}/\text{cm}^2$ 以下がよい。この量を超えると金属核を除去しなければならないからである。

【0056】⑤、次に、層間樹脂絶縁層の表面に無電解

めっきを施し、全面に無電解めっき膜52を形成する。無電解めっき膜52の厚みは $0.1\sim 5\mu\text{m}$ 、より望ましくは $0.5\sim 3\mu\text{m}$ である。

⑥、そして、無電解めっき膜上にめっきレジストを形成する。めっきレジストは、前述のように感光性ドライフィルムをラミネートして露光、現像処理して形成される。

⑦、さらに、電解めっきを行う。電解めっき膜56は、 $5\sim 30\mu\text{m}$ がよい。なお、図中では電解めっきにより単に、厚付けを行っているが、バイアホールを形成する凹部を電解めっき膜にて充填することが望ましい。

⑧、そしてさらに、めっきレジストを剥離した後、そのめっきレジスト下の無電解めっき膜をエッチングにて溶解除去し、独立した導体回路58及びバイアホール60を形成する。導体回路(バイアホールを含む)を形成する。エッチング液としては、硫酸-過酸化水素の水溶液、過硫酸アンモニウムや過硫酸ナトリウム、過硫酸カリウムなどの過硫酸塩水溶液、塩化第二鉄や塩化第二銅の水溶液がよい。更に、同様にして層間樹脂絶縁層150及びバイアホール160をもう1層形成する。

【0057】

【実施例】以下、多層プリント配線板の製造工程の実施例を、図1～図5を参照して具体的に説明する。

(1) 厚さ 0.5mm のガラスエポキシ樹脂またはBT(ビスマレイミドトリアジン)樹脂からなるコア基板30の両面に $18\mu\text{m}$ の銅箔12がラミネートされている銅張積層板30Aを出発材料とする(図1(A)参照)。この両面にエッチングレジストを設け、硫酸-過酸化水素水溶液でエッチング処理し、導体回路14を有するコア基板30を得た(図1(B))。

【0058】(2) 次に、コア基板30にピッチ間隔 $600\mu\text{m}$ で直径 $300\mu\text{m}$ の貫通孔16をドリルで削孔し(図1(C)参照)、次いで、パラジウムスズコロイドを付着させ、下記組成で無電解めっきを施して、基板30の全面に $2\mu\text{m}$ の無電解めっき膜18を形成した(図1(D)参照)。

【無電解めっき水溶液】

EDTA	150	g/l
硫酸銅	20	g/l
HCHO	30	ml/l
NaOH	40	g/l
α 、 α' -ピピリジル	80	mg/l
PEG	0.1	g/l

【無電解めっき条件】 70°C の液温度で30分

【0059】(3) 前記(2)で無電解銅めっき膜18からなる導体(スルーホール16を含む)を形成した基板30を、水洗いし、乾燥した後、NaOH($10\text{g}/\text{l}$)、NaClO₂($40\text{g}/\text{l}$)、Na₂PO₄($6\text{g}/\text{l}$)を酸化浴(黒化浴)、NaOH($10\text{g}/\text{l}$)、NaBH₄($6\text{g}/\text{l}$)を還元浴とする酸化還元

処理に供し、そのスルーホール16を含む導体18の全表面に粗化層20を設けた(図1(E)参照)。

【0060】(4)次に、平均粒径 $10\mu\text{m}$ の銅粒子を含む充填剤22(タツタ電線製の非導電性穴埋め銅ペースト、商品名:DDペースト)を、スルーホール16へスクリーン印刷によって充填し、乾燥、硬化させた(図2(F))。そして、導体18上面の粗化層20およびスルーホール16からはみ出した充填剤22を、#600のベルト研磨紙(三共理化学製)を用いたベルトサンダー研磨により除去し、さらにこのベルトサンダー研磨による傷を取り除くためのバフ研磨を行い、基板30の表面を平坦化した(図2(G)参照)。このようにして、スルーホール16の内壁面と樹脂充填剤22とが粗*

〔電解めっき水溶液〕

硫酸	180 g/l
硫酸銅	80 g/l
添加剤(アトテックジャパン製、商品名:カバラシドGL)	1 ml/l

〔電解めっき条件〕

電流密度	1 A/dm ²
時間	30分
温度	室温

【0063】(7)導体回路14および導体層26aとなる部分を形成した基板30の両面に、市販の感光性ドライフィルムを張り付け、マスクを載置して、 $100\text{mJ}/\text{cm}^2$ で露光、0.8%炭酸ナトリウムで現像処理し、厚さ $15\mu\text{m}$ のエッチングレジスト25を形成した(図2(J)参照)。

【0064】(8)そして、エッチングレジスト25を形成してない部分のめっき膜23、24を、硫酸と過酸化水素の混合液を用いるエッチングにて溶解除去し、さらに、エッチングレジスト8を5%KOHで剥離除去して、独立した導体回路14aおよび充填剤22を覆う導体層26aを形成した(図3(K)参照)。

【0065】(9)次に、導体回路14aおよび充填剤22を覆う導体層26aの表面にCu-Ni-P合金からなる厚さ $2.5\mu\text{m}$ の粗化層(凹凸層)27を形成し、さらにこの粗化層27の表面に厚さ $0.3\mu\text{m}$ のSn層を形成した(図3(L)参照、但し、Sn層については図示しない)。その形成方法は以下のようである。即ち、基板30を酸性脱脂してソフトエッチングし、次いで、塩化パラジウムと有機酸からなる触媒溶液で処理して、Pd触媒を付与し、この触媒を活性化した後、硫酸銅8g/l、硫酸ニッケル0.6g/l、クエン酸15g/l、次亜リン酸ナトリウム29g/l、ホウ酸31g/l、界面活性剤0.1g/l、pH=9からなる無電解めっき浴にてめっきを施し、導体回路14aおよび充填剤22を覆う導体層26aの表面にCu-Ni-P合金の粗化層27を設けた。ついで、ホウフ化スズ0.1mol/l、チオ尿素1.0mol/l、温度5

*化層20を介して強固に密着した基板30を得る。

【0061】(5)前記(4)で平坦化した基板30表面に、パラジウム触媒(アトテック製)を付与し、前記(2)の条件に従って無電解銅めっきを施すことにより、厚さ $0.6\mu\text{m}$ の無電解銅めっき膜23を形成した(図1(H)参照)。

【0062】(6)ついで、以下の条件で電解銅めっきを施し、厚さ $15\mu\text{m}$ の電解銅めっき膜24を形成し、導体回路14となる部分の厚付け、およびスルーホール16に充填された充填剤22を覆う導体層(円形のスルーホールランドとなる)26aとなる部分を形成した(図2(I))。

0℃、pH=1.2の条件でCu-Sn置換反応させ、粗化層10の表面に厚さ $0.3\mu\text{m}$ のSn層を設けた(Sn層については図示しない)。

【0066】なお、工程(9)に代えて、導体回路14aおよび充填剤22を覆う導体層26aの表面にいわゆる黒化還元層を形成し、導体回路間にビスフェノールF型エポキシ樹脂などの樹脂を充填し、表面研磨、さらに(9)のめっきによりCu-Ni-P合金の粗化層を形成してもよい。(図6に断面を示すパッケージ断面図は、この工程を使用して製造している)

【0067】(10)基板表面を平滑化するための樹脂充填剤を調整する。ここでは、ビスフェノールF型エポキシモノマー(油化シェル製、分子量310、YL983U)100重量部、イミダゾール硬化剤(四国化成製、2E4MZ-CN)6重量部を混合し、これらの混合物に対し、表面にシランカップリング剤がコーティングされた平均粒径 $1.6\mu\text{m}$ のSiO₂球状粒子(アドマテック製、CRS1101-CE、ここで、最大粒子の大きさは後述する導体回路14aの厚み以下とする)170重量部、消泡剤(サンノブコ製、ベレノールS4)0.5重量部を混合し、3本ロールにて混練することにより、その混合物の粘度を $23\pm 1^\circ\text{C}$ で45,000~49,000cpsに調整して、樹脂充填剤を得る。この樹脂充填剤は無溶剤である。もし溶剤入りの樹脂充填剤を用いると、後工程において層間剤を塗布して加熱・乾燥させる際に、樹脂充填剤の層から溶剤が揮発して、樹脂充填剤の層と層間材との間で剥離が発生するからである。

【0068】(11)上記(10)で得た樹脂充填剤28を、基板30の両面にロールコータを用いて塗布することにより、上面の導体層26a間に充填し、70℃、20分間で乾燥させ、下面についても同様にして樹脂充填剤30を導体層26a間あるいは導体回路14a間に充填し、70℃、20分間で乾燥させる(図3(M)参照)。

【0069】(12)上記(11)の処理を終えた基板30の片面を、#6000のベルト研磨紙(三共理化学製)を用いたベルトサンダー研磨により、導体層26aの表面や導体回路14aの表面に樹脂充填剤28が残らないように研磨し、次いで、上記ベルトサンダー研磨による傷を取り除くためのバフ研磨を行う(図3(N)参照)。次いで、100℃で1時間、120℃で3時間、150℃で1時間、180℃で7時間の加熱処理を行って樹脂充填剤28を硬化させる。

【0070】このようにして、導体層26a、導体回路14aの表面の粗化層27を除去して基板両面を平滑化することで、樹脂充填剤28と導体層26a、導体回路14aの側面とが粗化層27を介して強固に密着させる。

【0071】(13)上記(12)の処理で露出した導体層26a、導体回路14a上面に、厚さ2.5μmのCu-Ni-P合金からなる粗化層(凹凸層)29を形成し、さらに、その粗化層29の表面に厚さ0.3μmのSn層を設ける(図3(O)参照、但し、Sn層については図示しない)。その形成方法は以下のようである。即ち、基板30を酸性脱脂してソフトエッチングし、次いで、塩化パラジウムと有機酸からなる触媒溶液で処理して、Pd触媒を付与し、この触媒を活性化した後、硫酸銅8g/l、硫酸ニッケル0.6g/l、クエン酸15g/l、次亜リン酸ナトリウム29g/l、ホウ酸31g/l、界面活性剤0.1g/l、pH=9からなる無電解めっき浴にてめっきを施し、銅導体回路4およびスルーホール9のランド上面にCu-Ni-P合金の粗化層29を形成する。ついで、ホウフッ化スズ0.1mol/l、チオ尿素1.0mol/l、温度50℃、pH=1.2の条件でCu-Sn置換反応させ、粗化層29の表面に厚さ0.3μmのSn層を設ける(Sn層については図示しない)。

【0072】(14)層間樹脂絶縁層を形成する無電解めっき用接着剤A、Bを以下の方法で調製した。

A. 上層の無電解めっき用接着剤の調製

①、クレゾールノボラック型エポキシ樹脂(日本化薬製、分子量2500)の25%アクリル化物を35重量部(固形分80%)、感光性モノマー(東亜合成製、アロニックスM315)3.15重量部、消泡剤(サンプロ製、S-65)0.5重量部、NMPを3.6重量部を攪拌混合した。

②、ポリエーテルスルホン(PES)12重量部、エ

ポキシ樹脂粒子(三洋化成製、ポリマーボール)の平均粒径1.0μmのものを7.2重量部、平均粒径0.5μmのものを3.09重量部、を混合した後、さらにNMP30重量部を添加し、ビーズミルで攪拌混合した。

③、イミダゾール硬化剤(四国化成製、2E4MZ-CN)2重量部、光開始剤(チバガイギー製、イルガキュアI-907)2重量部、光増感剤(日本化薬製、DET-X-S)0.2重量部、NMP1.5重量部を攪拌混合した。これらを混合して無電解めっき用接着剤組成物Aを調製した。

【0073】B. 下層の無電解めっき用接着剤の調製
①、クレゾールノボラック型エポキシ樹脂(日本化薬製、分子量2500)の25%アクリル化物を35重量部(固形分80%)、感光性モノマー(東亜合成製、アロニックスM315)4重量部、消泡剤(サンプロ製、S-65)0.5重量部、NMPを3.6重量部を攪拌混合した。

②、ポリエーテルスルホン(PES)12重量部、エポキシ樹脂粒子(三洋化成製、ポリマーボール)の平均粒径0.5μmのものを14.49重量部、を混合した後、さらにNMP20重量部を添加し、ビーズミルで攪拌混合した。

【0074】③、イミダゾール硬化剤(四国化成製、2E4MZ-CN)2重量部、光開始剤(チバガイギー製、イルガキュアI-907)2重量部、光増感剤(日本化薬製、DET-X-S)0.2重量部、NMP1.5重量部を攪拌混合した。これらを混合して下層の無電解めっき用接着剤Bを調製した。

【0075】(15)基板の両面に、まず、前記(14)で調製したBの無電解めっき用接着剤(粘度1.5Pa·s)44をロールコータを用いて塗布し、水平状態で20分間放置してから、60℃で30分の乾燥を行い、次いで、Aの無電解めっき用接着剤(粘度1.0Pa·s)46をロールコータを用いて塗布し、水平状態で20分間放置してから、60℃で30分の乾燥を行い、厚さ40μmの接着剤層50を形成した(図4(P)参照)。

【0076】(16)接着剤層50を形成した基板の両面に、85μmφの黒円が印刷されたフォトマスクフィルムを密着させ、超高圧水銀灯により500mJ/cm²で露光した。これをDMDG(ジエチレングリコールジメチルエーテル)溶液でスプレー現像することにより、接着剤層に85μmφのバイアホールとなる開口を形成した。さらに、当該基板を超高圧水銀灯により3000mJ/cm²で露光し、100℃で1時間、その後150℃で5時間の加熱処理をすることにより、フォトマスクフィルムに相当する寸法精度に優れた開口(バイアホール形成用開口48)を有する厚さ35μmの層間絶縁材層(接着剤層)50を形成した(図4(Q)参照)。なお、バイアホールとなる開口には、スズめっき

層を部分的に露出させた。

【0077】(17) バイアホール形成用開口48を形成した基板を、クロム酸に20分間浸漬し、接着剤層表面に存在するエポキシ樹脂粒子を溶解除去して、当該接着剤層50の表面を $R_{max}=1\sim5\mu m$ 程度の深さで粗化することで粗化面51を形成し、その後、中和溶液(シブレイ社製)に浸漬してから水洗した(図4(R))。

【0078】(18) 接着剤層表面の粗化(粗化深さ $5\mu m$)を行った基板30に対し、パラジウム触媒(アトミック製)を付与することにより、接着剤層50およびバイアホール用開口48の表面に触媒核を付与した。

【0079】(19) 前記(2)と同じ組成の無電解銅めっき浴中に基板を浸漬して、粗化面51全体に厚さ $0.6\mu m$ の無電解銅めっき膜52を形成した(図4(S)参照)。このとき、無電解銅めっき膜52は薄いために、この無電解銅めっき膜52の表面には、接着剤層50の粗化面51に追従した凹凸が観察された。

【0080】(20) 市販の感光性ドライフィルムを無電解銅めっき膜52に張り付け、マスクを載置して、 $100mJ/cm^2$ で露光、 0.8% 炭酸ナトリウムで現像処理し、厚さ $15\mu m$ のめっきレジスト54を設けた(図4(T)参照)。

【0081】(21) 次いで、前記(6)の条件に従って電解銅めっきを施し、厚さ $15\mu m$ の電解銅めっき膜56を形成した(図5(U)参照)。

【0082】(22) めっきレジスト56を $5\%KOH$ で剥離除去した後、そのめっきレジスト56下の無電解銅めっき膜52を硫酸と過酸化水素の混合液でエッチング処理して溶解除去し、無電解銅めっき膜52と電解銅めっき膜56からなる厚さ $16\mu m$ の導体回路58及びバイアホール60を形成する(図5(V))。引き続き、該導体回路58及びバイアホール60の表面に粗化層62を形成して、片面3層の多層プリント配線板とした(図5(W)参照)。なお、接着剤層50の粗化面に残っているPdをクロム酸($800g/l$)に1~10分浸漬して除去した。

【0083】(23) (15)~(22)の工程を繰り返して、バイアホール160を有する層間樹脂絶縁層150をさらに1層積層した(図5(X))。

【0084】(24) 上記(23)で得た配線板の両面に、市販のソルダーレジスト組成物を $20\mu m$ の厚さで塗布した。次いで、 $70^\circ C$ で20分間、 $70^\circ C$ で30分間の乾燥処理を行った後、 $1000mJ/cm^2$ の紫外線で露光し、DMTG現像処理した。そしてさらに、 $80^\circ C$ で1時間、 $100^\circ C$ で1時間、 $120^\circ C$ で1時間、 $150^\circ C$ で3時間の条件で加熱処理し、パッド部分71が開口径した(開口径 $200\mu m$)ソルダーレジスト層(厚み $20\mu m$)70を形成した(図6参照)。

【0085】(25) 次に、ソルダーレジスト層70を形成した基板30を、塩化ニッケル $30g/l$ 、次亜リン酸ナトリウム $10g/l$ 、クエン酸ナトリウム $10g/l$ からなる $pH=5$ の無電解ニッケルめっき液に20分間浸漬して、開口部71に厚さ $5\mu m$ のニッケルめっき層72を形成した。さらに、その基板30を、シアン化金カリウム $2g/l$ 、塩化アンモニウム $75g/l$ 、クエン酸ナトリウム $50g/l$ 、次亜リン酸ナトリウム $10g/l$ からなる無電解金めっき液に $93^\circ C$ の条件で23秒間浸漬して、ニッケルめっき層72上に厚さ $0.03\mu m$ の金めっき層74を形成した。

【0086】(26) そして、ソルダーレジスト層70の開口部71に、はんだペーストを印刷して、 $200^\circ C$ でリフローすることによりはんだバンプ76U、76Dを形成し、はんだバンプを有するプリント配線板を製造した。

【0087】

【発明の効果】以上説明したように本発明のプリント配線板によれば、スルーホールを高密度化し、層数の少ない基板を提供することができる。

【図面の簡単な説明】

【図1】本発明の実施例に係る多層プリント配線板の製造工程を示す図である。

【図2】本発明の実施例に係る多層プリント配線板の製造工程を示す図である。

【図3】本発明の実施例に係る多層プリント配線板の製造工程を示す図である。

【図4】本発明の実施例に係る多層プリント配線板の製造工程を示す図である。

【図5】本発明の実施例に係る多層プリント配線板の製造工程を示す図である。

【図6】本発明の実施例に係る多層プリント配線板を示す断面図である。

【図7】図6に示す多層プリント配線板のB-B断面図である。

【図8】従来技術に係るパッケージ基板の多層コア基板の平面図である。

【符号の説明】

14 導体回路(導体層)

16 スルーホール

22 充填剤

26a 導体層

30 コア基板(多層コア基板)

50 層間樹脂絶縁層

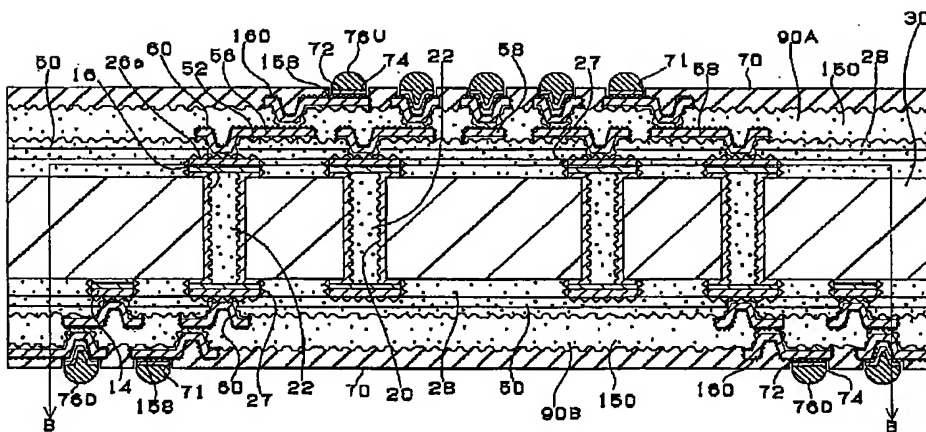
58 導体回路(導体層)

60 バイアホール

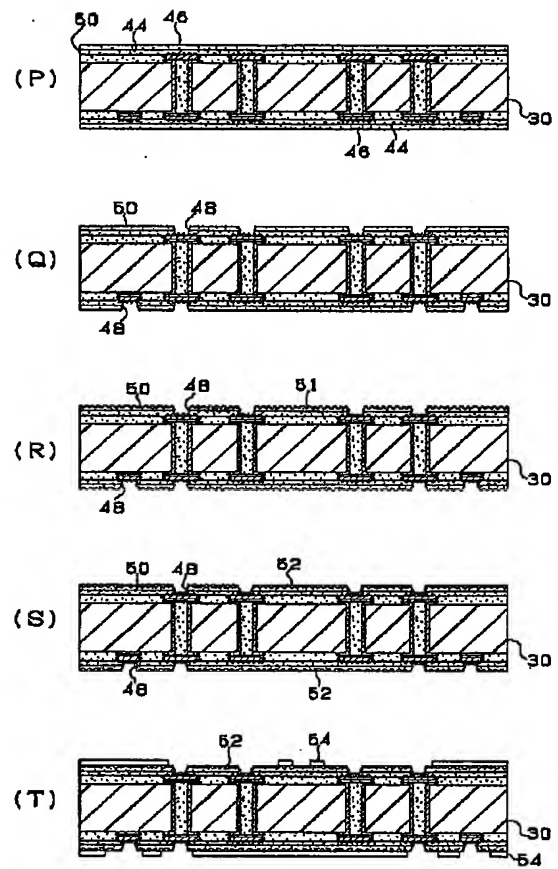
150 層間樹脂絶縁層

160 バイアホール

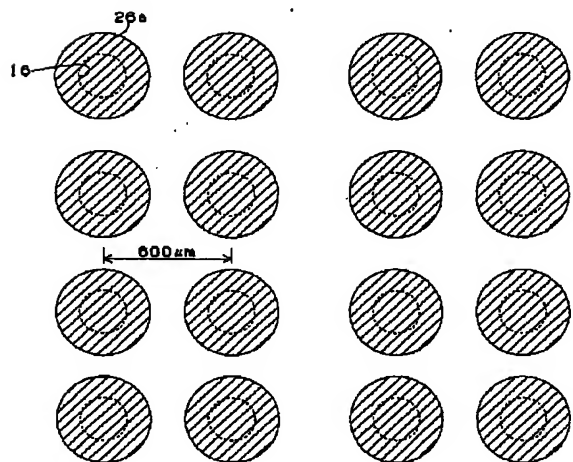
【図2】



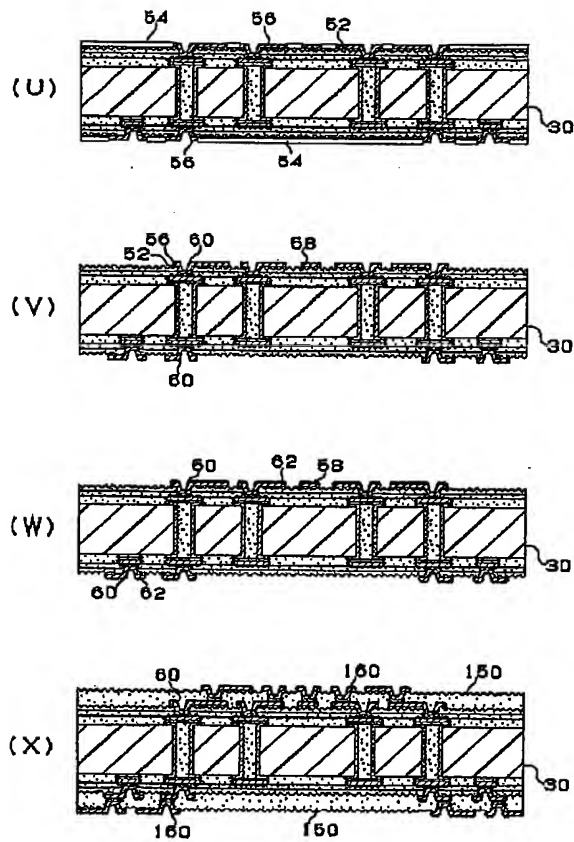
【図4】



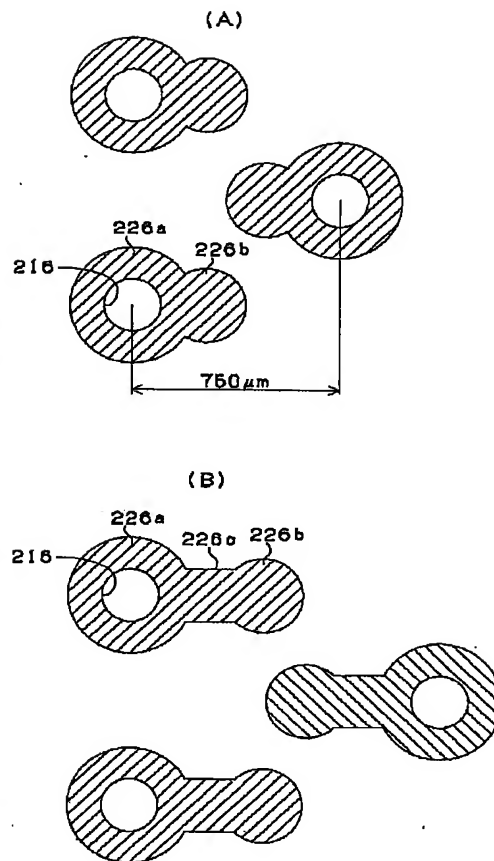
【圖7】



【図5】



【図8】



フロントページの続き

(72)発明者 菊谷 隆
岐阜県揖斐郡揖斐川町北方1-1 イビデ
ン株式会社大垣北工場内